

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Hiroaki FUKUDA, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: METHOD AND APPARATUS FOR IMAGE PROCESSING, AND A COMPUTER PRODUCT

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS  
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:


<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	11-375563	December 28, 1999

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and  
(B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

  
Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland  
Registration Number 21,124



22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 10/98)

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

JCS31 U.S. PTO  
09/749819  
12/28/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application:

1 9 9 9 年 1 2 月 2 8 日

出 願 番 号  
Application Number:

平成 1 1 年 特 許 願 第 3 7 5 5 6 3 号

出 願 人  
Applicant (s):

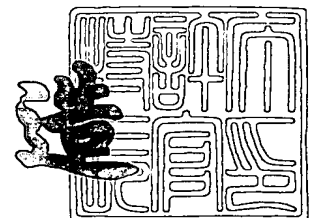
株式会社リコー

2 0 0 0 年 1 2 月 1 日

特 許 庁 長 官  
Commissioner,  
Patent Office



川 耕 造



出 証 番 号 出 証 特 2 0 0 0 - 3 0 9 7 2 1 6

【書類名】 特許願

【整理番号】 9902247

【提出日】 平成11年12月28日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 1/40

【発明の名称】 画像処理装置、画像処理方法およびその方法をコンピュータに実行させるプログラムを記録したコンピュータ読み取り可能な記録媒体

【請求項の数】 11

【発明者】

    【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

    【氏名】 福田 拓章

【発明者】

    【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

    【氏名】 波塚 義幸

【発明者】

    【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

    【氏名】 宮崎 秀人

【発明者】

    【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

    【氏名】 宮崎 慎也

【発明者】

    【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

    【氏名】 野水 泰之

【発明者】

    【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

    【氏名】 樽木 杉高

【発明者】

    【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

【氏名】 佐藤 多加子

【発明者】

【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

【氏名】 刀根 剛治

【発明者】

【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

【氏名】 吉澤 史男

【発明者】

【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

【氏名】 高橋 祐二

【発明者】

【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

【氏名】 川本 啓之

【発明者】

【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

【氏名】 石井 理恵

【特許出願人】

【識別番号】 000006747

【氏名又は名称】 株式会社リコー

【代理人】

【識別番号】 100104190

【弁理士】

【氏名又は名称】 酒井 昭徳

【手数料の表示】

【予納台帳番号】 041759

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9810808

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像処理装置、画像処理方法およびその方法をコンピュータに実行させるプログラムを記録したコンピュータ読み取り可能な記録媒体

【特許請求の範囲】

【請求項 1】 画像に基づいて作成されたデジタル信号である画像データを、頭像として出力するように処理する演算処理手段を備えた画像処理装置であって、

前記演算処理手段は、複数の画像データを同時に処理できる SIMD (Single Instruction Multiple Data stream) 型の演算処理部、前記演算処理部に接続する複数のメモリー、前記メモリーの各々を制御するメモリー・コントローラーを備え、かつ、前記メモリー・コントローラーが、前記メモリーと前記演算処理部との間でおこなわれる画像データの転送を制御することを特徴とする画像処理装置。

【請求項 2】 前記メモリー・コントローラーはコントロール・レジスターと接続し、前記コントロール・レジスターが、メモリー・コントローラーと接続するメモリーのデータ転送モードを設定するデータ転送モード設定機能を有することを特徴とする請求項 1 に記載の画像処理装置。

【請求項 3】 前記コントロール・レジスターは、アドレスを設定してメモリーにアクセスするランダムアクセスモードの設定と、自動的にアドレスを更新してメモリーにアクセスする自動アクセスモードの設定とを、外部から与えられる制御信号にしたがって切り替えることを特徴とする請求項 2 に記載の画像処理装置。

【請求項 4】 前記コントロール・レジスターは、外部から与えられる制御信号にしたがって前記メモリーから重複してデータを読み出すとともに、前記演算処理部に転送する重複読出し転送モードを設定することを特徴とする請求項 2 または 3 に記載の画像処理装置。

【請求項 5】 前記コントロール・レジスターは、外部から与えられる制御信号にしたがって前記演算処理部からデータを間引いて読み出すとともに前記メモリーに転送する間引き読出し転送モードを設定することを特徴とする請求項 2

～ 4 のいずれか一つに記載の画像処理装置。

【請求項 6】 画像に基づいて作成されたデジタル信号である画像データを同時に複数処理する SIMD 型の演算処理部と、前記演算処理部に接続する複数のメモリーおよび前記メモリーの各々を制御するメモリー・コントローラーとを備えた画像処理装置で実行される画像処理方法であって、

前記メモリー・コントローラーにより、前記メモリーと前記演算処理部との間でおこなわれる画像データの転送を制御する画像データ制御工程を含むことを特徴とする画像処理方法。

【請求項 7】 前記画像データ制御工程は、メモリー・コントローラーと接続するメモリーのデータ転送モードを設定するデータ転送モード設定工程を含むことを特徴とする請求項 6 に記載の画像処理方法。

【請求項 8】 前記画像データ制御工程は、アドレスを設定してメモリーにアクセスするランダムアクセスモードの設定と、自動的にアドレスを更新してメモリーにアクセスする自動アクセスモードの設定とを、外部から与えられる制御信号にしたがって切り替えることを特徴とする請求項 6 または 7 に記載の画像処理方法。

【請求項 9】 前記画像データ制御工程は、外部から与えられる制御信号にしたがって前記メモリーから重複してデータを読み出すとともに前記演算処理部に転送する重複読出し転送モードを設定することを特徴とする請求項 6 ～ 8 のいずれか一つに記載の画像処理方法。

【請求項 10】 前記画像データ制御工程は、外部から与えられる制御信号にしたがって前記演算処理部からデータを間引いて読み出すとともに前記メモリーに転送する間引き読出し転送モードを設定することを特徴とする請求項 6 ～ 9 のいずれか一つに記載の画像処理方法。

【請求項 11】 前記請求項 6 ～ 10 のいずれか一つに記載された方法をコンピュータに実行させるプログラムを記録したことを特徴とするコンピュータ読み取り可能な記録媒体。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

この発明は、SIMD (Single Instruction Multiple Data stream) 型の演算処理装置を備えた画像処理装置、画像処理方法およびその方法をコンピュータに実行させるプログラムを記録したコンピュータ読み取り可能な記録媒体に関する。

【0002】

【従来の技術】

近年、SIMD型のプロセッサを用いた画像形成装置が検討されている。SIMD型演算処理装置とは、単一の命令を並列に実行させるもので、複数のプロセッサエレメント (PE) より構成される。また、SIMD型のプロセッサは、プログラムを変更することによってシステム仕様変更、機能追加に容易に対応することができるので、高速な演算処理により画像処理をおこなうことができるという長所を有している。

【0003】

ところで、このようなSIMD型のプロセッサは、並列に実行される各処理に用いられるメモリーを有している。画像処理装置では、入力あるいは生成した画像データをこのようなメモリーにいったん書き込むとともに、書き込まれた画像データを読み出してSIMD型のプロセッサに転送して各画像処理の動作タイミングを調整している。

【0004】

なお、たとえば、特開平10-289306号公報には、画像データのメモリーに対する書き込み、読み出しのタイミングを調整するメモリーコントロール装置が記載されている。このようなメモリーコントロール装置によれば、画像データの書き込み、読み出しのタイムラグをなくし、効率的に画像処理を制御することができるようになる。

【発明が解決しようとする課題】

しかしながら、上述した構成によれば、メモリーに対する書き込み、読み出しのタイミングは調整できるものの、メモリーに対する書き込み、読み出しの動作までは制御することはできない。このため、従来の画像処理装置は、画像処理に



応じたメモリーに対する書き込み、読み出し処理の最適化、画像処理の効率化に対してさらなる改善の余地を残していた。

【0005】

この発明は、上述した従来技術による問題点を解消するため、メモリーに対する書き込み、読み出し動作を制御し、画像処理に応じてメモリーに対する書き込み、読み出し処理を最適化することによって画像処理を効率化できる画像処理装置、画像処理方法およびその方法をコンピュータに実行させるプログラムを記録したコンピュータ読み取り可能な記録媒体に関する。

【0006】

【課題を解決するための手段】

上述した課題を解決し、目的を達成するため、請求項1に記載の発明にかかる画像処理装置は、画像に基づいて作成されたデジタル信号である画像データを、顕像として出力するように処理する演算処理手段を備えた画像処理装置であって、前記演算処理手段は、複数の画像データを同時に処理できるSIMD型の演算処理部、前記演算処理部に接続する複数のメモリー、前記メモリーの各々を制御するメモリー・コントローラーを備え、かつ、前記メモリー・コントローラーが、前記メモリーと前記演算処理部との間でおこなわれる画像データの転送を制御することを特徴とする。

【0007】

この請求項1に記載の発明によれば、演算処理部とメモリーとの間でなされる画像データの転送をメモリー・コントローラーによって制御し、演算処理部の画像データ処理効率を高めることができる。また、このような作用は、同一の処理を複数の異なる画像データに対して同時におこない得るSIMD型の演算処理部において特に顕著になる。

【0008】

また、請求項2に記載の発明にかかる画像処理装置は、前記メモリー・コントローラーがコントロール・レジスターと接続し、前記コントロール・レジスターが、メモリー・コントローラーと接続するメモリーのデータ転送モードを設定するデータ転送モード設定機能を有することを特徴とする。

【0009】

この請求項2に記載の発明によれば、比較的簡易な構成によってこの発明の画像処理装置が実現できる。

【0010】

また、請求項3に記載の発明にかかる画像処理装置は、前記コントロール・レジスターが、アドレスを設定してメモリーにアクセスするランダムアクセスモードの設定と、自動的にアドレスを更新してメモリーにアクセスする自動アクセスモードの設定とを、外部から与えられる制御信号にしたがって切り替えることを特徴とする。

【0011】

この請求項3に記載の発明によれば、メモリーに対するアクセスの方式を、ランダムアクセスモード、自動アクセスモードのいずれかに切り替えることができる。このため処理の内容に応じてより適切なアクセスモードを選択することができる。

【0012】

また、請求項4に記載の発明にかかる画像処理装置は、前記コントロール・レジスターが、外部から与えられる制御信号にしたがって前記メモリーから重複してデータを読み出すとともに、前記演算処理部に転送する重複読出し転送モードを設定することを特徴とする。

【0013】

この請求項4に記載の発明によれば、同一のメモリーに重複してアクセスし、同一の画像データを異なる演算処理部で処理することができる。このため、メモリーに対して連続してアクセスする演算処理部に同一の画像データを処理させる場合、この画像データを記憶するメモリー数を最小限にすることができる。

【0014】

また、請求項5に記載の発明にかかる画像処理装置は、前記コントロール・レジスターが、外部から与えられる制御信号にしたがって前記演算処理部からデータを間引いて読み出すとともに前記メモリーに転送する間引き読出し転送モードを設定することを特徴とする。

【 0 0 1 5 】

この請求項 5 に記載の発明によれば、メモリーへの転送が不必要な画像データを、メモリーに転送しないようにすることができる。このため、不必要な画像データをメモリーに保存することを避けることができる。

【 0 0 1 6 】

また、請求項 6 に記載の発明にかかる画像処理方法は、画像に基づいて作成されたデジタル信号である画像データを同時に複数処理する SIMD 型の演算処理部と、前記演算処理部に接続する複数のメモリーおよび前記メモリーの各々を制御するメモリー・コントローラーとを備えた画像処理装置で実行される画像処理方法であって、前記メモリー・コントローラーにより、前記メモリーと前記演算処理部との間でおこなわれる画像データの転送を制御する画像データ制御工程を含むことを特徴とする。

【 0 0 1 7 】

この請求項 6 に記載の発明によれば、演算処理部とメモリーとの間でなされる画像データの転送をメモリー・コントローラーによって制御し、演算処理部の画像データ処理効率を高めることができる。また、このような作用は、同一の処理を複数の異なる画像データに対して同時におこない得る SIMD 型の演算処理部において特に顕著になる。

【 0 0 1 8 】

また、請求項 7 に記載の発明にかかる画像処理方法は、前記画像データ制御工程が、メモリー・コントローラーと接続するメモリーのデータ転送モードを設定するデータ転送モード設定工程を含むことを特徴とする。

【 0 0 1 9 】

この請求項 7 に記載の発明によれば、比較的簡易な処理によってこの発明の画像処理装置が実現できる。

【 0 0 2 0 】

また、請求項 8 に記載の発明にかかる画像処理方法は、前記画像データ制御工程が、アドレスを設定してメモリーにアクセスするランダムアクセスモードの設定と、自動的にアドレスを更新してメモリーにアクセスする自動アクセスモード

の設定とを、外部から与えられる制御信号にしたがって切り替えることを特徴とする。

【 0 0 2 1 】

この請求項 8 の発明によれば、メモリーに対するアクセスの方式を、ランダムアクセスモード、自動アクセスモードのいずれかに切り替えることができる。このため、処理の内容に応じてより適切なアクセスモードを選択することができる。

【 0 0 2 2 】

また、請求項 9 に記載の発明にかかる画像処理方法は、前記画像データ制御工程は、外部から与えられる制御信号にしたがって前記メモリーから重複してデータを読み出すとともに前記演算処理部に転送する重複読出し転送モードを設定することを特徴とする。

【 0 0 2 3 】

この請求項 9 に記載の発明によれば、同一のメモリーに重複してアクセスし、同一の画像データを異なる演算処理部で処理することができる。このため、メモリーに対して連続してアクセスする演算処理部に同一の画像データを処理させる場合、この画像データを記憶するメモリー数を最小限にすることができる。

【 0 0 2 4 】

また、請求項 1 0 に記載の発明にかかる画像処理方法は、前記画像データ制御工程が、外部から与えられる制御信号にしたがって前記演算処理部からデータを間引いて読み出すとともに前記メモリーに転送する間引き読出し転送モードを設定することを特徴とする。

【 0 0 2 5 】

この請求項 1 0 に記載の発明によれば、メモリーへの転送が不必要な画像データを、メモリーに転送しないようにすることができる。このため、不必要な画像データがメモリーに保存されることを防ぐことができる。

【 0 0 2 6 】

また、請求項 1 1 に記載の発明にかかる記録媒体は、請求項 6 ～ 1 0 に記載された方法をコンピュータに実行させるプログラムを記録したことで、そのプログ

ラムが機械読み取り可能となり、これによって、請求項6～10の動作をコンピュータによって実現することができる。

【0027】

【発明の実施の形態】

以下に添付図面を参照して、この発明にかかる画像処理装置、画像処理方法、およびその方法をコンピュータに実行させるプログラムを記録したコンピュータ読み取り可能な記録媒体の好適な実施の形態を、実施の形態1、実施の形態2、実施の形態3、実施の形態4として詳細に説明する。なお、本明細書中では、最初に実施の形態1～4に共通の構成について説明し、以降実施の形態1、実施の形態2、実施の形態3、実施の形態4の順序で各実施の形態の説明をおこなうものとする。

【0028】

〔実施の形態1～4に共通の構成〕

本実施の形態の画像処理装置は、画像に基づいて作成されたデジタル信号である画像データを、顕像として出力するように処理する演算処理手段を備えた画像処理装置である。まず、本実施の形態では、このような画像処理装置の原理について説明する。図1は、この発明の本実施の形態にかかる画像処理装置の構成を機能的に示すブロック図である。図1において、画像処理装置は、以下に示す5つのユニットを含む構成である。

【0029】

上記5つのユニットとは、画像データ制御ユニット100と、画像データを読み取る画像読取ユニット101と、画像を蓄積する画像メモリーを制御して画像データの書き込み／読出しをおこなう画像メモリー制御ユニット102と、画像データに対し加工編集等の画像処理を施す画像処理ユニット103と、画像データを転写紙等へ書き込む画像書込ユニット104と、である。

【0030】

上記各ユニットは、画像データ制御ユニット100を中心に構成されている。すなわち、画像読取ユニット101、画像メモリー制御ユニット102、画像処理ユニット103、画像書込ユニット104は、いずれも画像データ制御ユニッ

ト 100 に接続されている。以下、この各ユニットについて、それぞれ説明する。

【0031】

(画像データ制御ユニット 100)

画像データ制御ユニット 100 によりおこなわれる処理としては以下のようなものがある。

【0032】

たとえば、

- (1) データのバス転送効率を向上させるためのデータ圧縮処理 (一次圧縮)
  - (2) 一次圧縮データの画像データへの転送処理、
  - (3) 画像合成処理 (複数ユニットからの画像データを合成することが可能である。また、データバス上での合成も含む。)、
  - (4) 画像シフト処理 (主走査および副走査方向の画像のシフト)、
  - (5) 画像領域拡張処理 (画像領域を周辺へ任意量だけ拡大することが可能)
  - (6) 画像変倍処理 (たとえば、50% または 200% の固定変倍)、
  - (7) パラレルバス・インターフェース処理、
  - (8) シリアルバス・インターフェース処理 (後述するプロセス・コントローラ 211 とのインターフェース)、
  - (9) パラレルデータとシリアルデータのフォーマット変換処理、
  - (10) 画像読取ユニット 101 とのインターフェース処理、
  - (11) 画像処理ユニット 103 とのインターフェース処理、
- 等である。

【0033】

(画像読取ユニット 101)

画像読取ユニット 101 によりおこなわれる処理としては以下のようなものがある。

【0034】

たとえば、

- (1) 光学系による原稿反射光の読み取り処理、
  - (2) CCD (Charge Coupled Device : 電荷結合素子) での電気信号への変換処理、
  - (3) A/D変換器でのデジタル化处理、
  - (4) シェーディング補正処理 (光源の照度分布ムラを補正する処理)、
  - (5) スキャナー γ 補正処理 (読み取り系の濃度特性を補正する処理)、
- 等である。

【 0 0 3 5 】

(画像メモリー制御ユニット 1 0 2)

画像メモリー制御ユニット 1 0 2 によりおこなわれる処理としては以下のようなものがある。

【 0 0 3 6 】

たとえば、

- (1) システム・コントローラーとのインターフェース制御処理、
- (2) パラレルバス制御処理 (パラレルバスとのインターフェース制御処理)
- (3) ネットワーク制御処理、
- (4) シリアルバス制御処理 (複数の外部シリアルポートの制御処理)、
- (5) 内部バスインターフェース制御処理 (操作部とのコマンド制御処理)、
- (6) ローカルバス制御処理 (システム・コントローラーを起動させるための ROM、RAM、フォントデータのアクセス制御処理)、
- (7) メモリー・モジュールの動作制御処理 (メモリー・モジュールの書き込み/読み出し制御処理等)、
- (8) メモリー・モジュールへのアクセス制御処理 (複数のユニットからのメモリー・アクセス要求の調停をおこなう処理)、
- (9) データの圧縮/伸張処理 (メモリー有効活用のためのデータ量の削減するための処理)、
- (10) 画像編集処理 (メモリー領域のデータクリア、画像データの回転処理、

メモリ上での画像合成処理等)、  
等である。

【 0 0 3 7 】

(画像処理ユニット 1 0 3)

画像処理ユニット 1 0 3 によりおこなわれる処理としては以下のようなものがある。

【 0 0 3 8 】

たとえば、

- (1) シェーディング補正処理 (光源の照度分布ムラを補正する処理)、
- (2) スキャナ  $\gamma$  補正処理 (読み取り系の濃度特性を補正する処理)、
- (3) M T F 補正処理、
- (4) 平滑処理、
- (5) 主走査方向の任意変倍処理、
- (6) 濃度変換 ( $\gamma$  変換処理 : 濃度ノッチに対応)、
- (7) 単純多値化処理、
- (8) 単純二値化処理、
- (9) 誤差拡散処理、
- (10) ディザ処理、
- (11) ドット配置位相制御処理 (右寄りドット、左寄りドット)、
- (12) 孤立点除去処理、
- (13) 像域分離処理 (色判定、属性判定、適応処理)、
- (14) 密度変換処理、

等である。

【 0 0 3 9 】

(画像書込ユニット 1 0 4)

画像書込ユニット 1 0 4 によりおこなわれる処理としては以下のようなものがある。

【 0 0 4 0 】

たとえば、



(1) エッジ平滑処理 (ジャギー補正処理)、  
 (2) ドット再配置のための補正処理、  
 (3) 画像信号のパルス制御処理、  
 (4) パラレルデータとシリアルデータのフォーマット変換処理、  
 等である。

【 0 0 4 1 】

(デジタル複合機のハードウェア構成)

つぎに、本実施の形態にかかる画像処理装置がデジタル複合機を構成する場合のハードウェア構成について説明する。図 2、は本実施の形態にかかる画像処理装置のハードウェア構成の一例を示すブロック図である。

【 0 0 4 2 】

図 2 のブロック図において、本実施の形態にかかる画像処理装置は、読取ユニット 2 0 1 と、センサー・ボード・ユニット 2 0 2 と、画像データ制御部 2 0 3 と、画像処理プロセッサ 2 0 4 と、ビデオ・データ制御部 2 0 5 と、作像ユニット (エンジン) 2 0 6 とを備える。また、本実施の形態にかかる画像処理装置は、シリアルバス 2 1 0 を介して、プロセス・コントローラ 2 1 1 と、RAM 2 1 2 と、ROM 2 1 3 とを備える。

【 0 0 4 3 】

上記した構成のうち、画像処理プロセッサ 2 0 4 は、画像に基づいて作成されたデジタル信号である画像データを顕像として出力できるように処理し、複数の画像形成動作を実現できるプログラマブルな画像処理手段である。また、画像データ制御部 2 0 3 は、画像データを伝送するデータバスと画像処理プロセッサ 2 0 4 による画像処理に用いられる処理ユニットとの間の画像データの伝送を一括して管理する画像データ伝送管理手段である。なお、この発明は、画像処理プロセッサ 2 0 4 にかかるもので、画像処理プロセッサ 2 0 4 の構成については、図 3 以降の図面を用いて詳細に説明するものとする。

【 0 0 4 4 】

また、本実施の形態にかかる画像処理装置は、パラレルバス 2 2 0 を介して、画像メモリー・アクセス制御部 2 2 1 とファクシミリ制御ユニット 2 2 4 とを備

え、さらに、画像メモリー・アクセス制御部 2 2 1 に接続されるメモリー・モジュール 2 2 2 と、システム・コントローラー 2 3 1 と、RAM 2 3 2 と、ROM 2 3 3 と、操作パネル 2 3 4 とを備える。このような構成のうち、画像メモリー・アクセス制御部 2 2 1、メモリー・モジュール 2 2 2 が、RAM 2 1 2、ROM 2 1 3 に対する画像データのアクセスを一括して管理する画像データ記憶管理手段である。

【 0 0 4 5 】

ここで、上記各構成部と、図 1 に示した各ユニット 1 0 0 ~ 1 0 4 との関係について説明する。すなわち、読取ユニット 2 0 1 およびセンサー・ボード・ユニット 2 0 2 により、図 1 に示した画像読取ユニット 1 0 1 の機能を実現する。また同様に、画像データ制御部 2 0 3 により、画像データ制御ユニット 1 0 0 の機能を実現する。また同様に、画像処理プロセッサ 2 0 4 により画像処理ユニット 1 0 3 の機能を実現する。

【 0 0 4 6 】

また同様に、ビデオ・データ制御部 2 0 5 および作像ユニット（エンジン） 2 0 6 により画像書込ユニット 1 0 4 を実現する。また同様に、画像メモリー・アクセス制御部 2 2 1 およびメモリー・モジュール 2 2 2 により画像メモリー制御ユニット 1 0 2 を実現する。

【 0 0 4 7 】

つぎに、各構成部の内容について説明する。原稿を光学的に読み取る読取ユニット 2 0 1 は、ランプとミラーとレンズから構成され、原稿に対するランプ照射の反射光をミラーおよびレンズにより受光素子に集光する。

【 0 0 4 8 】

受光素子、たとえば CCD は、センサー・ボード・ユニット 2 0 2 に搭載され、CCD において電気信号に変換された画像データはデジタル信号に変換された後、センサー・ボード・ユニット 2 0 2 から出力（送信）される。

【 0 0 4 9 】

センサー・ボード・ユニット 2 0 2 から出力（送信）された画像データは画像データ制御部 2 0 3 に入力（受信）される。機能デバイス（処理ユニット）およ

びデータバス間における画像データの伝送は画像データ制御部 2 0 3 がすべて制御する。

【 0 0 5 0 】

画像データ制御部 2 0 3 は、画像データに関し、センサー・ボード・ユニット 2 0 2、パラレルバス 2 2 0、画像処理プロセッサ 2 0 4 間のデータ転送、画像データに対するプロセス・コントローラ 2 1 1 と画像処理装置の全体制御を司るシステム・コントローラ 2 3 1 との間の通信をおこなう。また、RAM 2 1 2 はプロセス・コントローラ 2 1 1 のワークエリアとして使用され、ROM 2 1 3 はプロセス・コントローラ 2 1 1 のブートプログラム等を記憶している。

【 0 0 5 1 】

センサー・ボード・ユニット 2 0 2 から出力（送信）された画像データは画像データ制御部 2 0 3 を経由して画像処理プロセッサ 2 0 4 に転送（送信）され、光学系およびデジタル信号への量子化にともなう信号劣化（スキャナー系の信号劣化とする）を補正し、再度、画像データ制御部 2 0 3 へ出力（送信）される。

【 0 0 5 2 】

画像メモリー・アクセス制御部 2 2 1 は、メモリー・モジュール 2 2 2 に対する画像データの書き込み／読み出しを制御する。また、パラレルバス 2 2 0 に接続される各構成部の動作を制御する。また、RAM 2 3 2 はシステム・コントローラ 2 3 1 のワークエリアとして使用され、ROM 2 3 3 はシステム・コントローラ 2 3 1 のブートプログラム等を記憶している。

【 0 0 5 3 】

操作パネル 2 3 4 は、画像処理装置がおこなうべき処理を入力する。たとえば、処理の種類（複写、ファクシミリ送信、画像読込、プリント等）および処理の枚数等を入力する。これにより、画像データ制御情報の入力をおこなうことができる。なお、ファクシミリ制御ユニット 2 2 4 の内容については後述する。

【 0 0 5 4 】

つぎに、読み取った画像データには、メモリー・モジュール 2 2 2 に蓄積して

再利用するジョブと、メモリー・モジュール 2 2 2 に蓄積しないジョブとがあり、それぞれの場合について説明する。メモリー・モジュール 2 2 2 に蓄積する例としては、1 枚の原稿について複数枚を複写する場合に、読取ユニット 2 0 1 を 1 回だけ動作させ、読取ユニット 2 0 1 により読み取った画像データをメモリー・モジュール 2 2 2 に蓄積し、蓄積された画像データを複数回読み出すという方法がある。

【 0 0 5 5 】

メモリー・モジュール 2 2 2 を使わない例としては、1 枚の原稿を 1 枚だけ複写する場合に、読み取り画像データをそのまま再生すれば良いので、画像メモリー・アクセス制御部 2 2 1 によるメモリー・モジュール 2 2 2 へのアクセスをおこなう必要はない。

【 0 0 5 6 】

まず、メモリー・モジュール 2 2 2 を使わない場合、画像処理プロセッサ 2 0 4 から画像データ制御部 2 0 3 へ転送されたデータは、再度画像データ制御部 2 0 3 から画像処理プロセッサ 2 0 4 へ戻される。画像処理プロセッサ 2 0 4 においては、センサー・ボード・ユニット 2 0 2 における CCD による輝度データを面積階調に変換するための画質処理をおこなう。

【 0 0 5 7 】

画質処理後の画像データは画像処理プロセッサ 2 0 4 からビデオ・データ制御部 2 0 5 に転送される。面積階調に変化された信号に対し、ドット配置に関する後処理およびドットを再現するためのパルス制御をおこない、その後、作像ユニット 2 0 6 において転写紙上に再生画像を形成する。

【 0 0 5 8 】

つぎに、メモリー・モジュール 2 2 2 に蓄積し画像読み出し時に付加的な処理、たとえば画像方向の回転、画像の合成等をおこなう場合の画像データの流れについて説明する。画像処理プロセッサ 2 0 4 から画像データ制御部 2 0 3 へ転送された画像データは、画像データ制御部 2 0 3 からパラレルバス 2 2 0 を経由して画像メモリー・アクセス制御部 2 2 1 に送られる。

【 0 0 5 9 】

ここでは、システム・コントローラ 2 3 1 の制御に基づいて画像データとメモリー・モジュール 2 2 2 のアクセス制御、外部 P C (パーソナルコンピュータ) 2 2 3 のプリント用データの展開、メモリー・モジュール 2 2 2 の有効活用のための画像データの圧縮／伸張をおこなう。

【 0 0 6 0 】

画像メモリー・アクセス制御部 2 2 1 へ送られた画像データは、データ圧縮後メモリー・モジュール 2 2 2 へ蓄積され、蓄積された画像データは必要に応じて読み出される。読み出された画像データは伸張され、本来の画像データに戻し画像メモリー・アクセス制御部 2 2 1 からパラレルバス 2 2 0 を経由して画像データ制御部 2 0 3 へ戻される。

【 0 0 6 1 】

画像データ制御部 2 0 3 から画像処理プロセッサ 2 0 4 への転送後は画質処理、およびビデオ・データ制御部 2 0 5 でのパルス制御をおこない、作像ユニット 2 0 6 において転写紙上に再生画像を形成する。

【 0 0 6 2 】

画像データの流れにおいて、パラレルバス 2 2 0 および画像データ制御部 2 0 3 でのバス制御により、ディジタル複合機の機能を実現する。ファクシミリ送信機能は読み取られた画像データを画像処理プロセッサ 2 0 4 にて画像処理を実施し、画像データ制御部 2 0 3 およびパラレルバス 2 2 0 を経由してファクシミリ制御ユニット 2 2 4 へ転送する。ファクシミリ制御ユニット 2 2 4 にて通信網へのデータ変換をおこない、公衆回線 ( P N ) 2 2 5 へファクシミリデータとして送信する。

【 0 0 6 3 】

一方、受信されたファクシミリデータは、公衆回線 2 2 5 からの回線データをファクシミリ制御ユニット 2 2 4 にて画像データへ変換され、パラレルバス 2 2 0 および画像データ制御部 2 0 3 を経由して画像処理プロセッサ 2 0 4 へ転送される。この場合、特別な画質処理はおこなわず、ビデオ・データ制御部 2 0 5 においてドット再配置およびパルス制御をおこない、作像ユニット 2 0 6 において転写紙上に再生画像を形成する。

【 0 0 6 4 】

複数ジョブ、たとえば、コピー機能、ファクシミリ送受信機能、プリンター出力機能が並行に動作する状況において、読取ユニット 2 0 1、作像ユニット 2 0 6 およびパラレルバス 2 2 0 の使用権のジョブへの割り振りをシステム・コントローラー 2 3 1 およびプロセス・コントローラー 2 1 1 において制御する。

【 0 0 6 5 】

プロセス・コントローラー 2 1 1 は画像データの流れを制御し、システム・コントローラー 2 3 1 はシステム全体を制御し、各リソースの起動を管理する。また、デジタル複合機の機能選択は操作パネル（操作部） 2 3 4 において選択入力し、コピー機能、ファクシミリ機能等の処理内容を設定する。

【 0 0 6 6 】

システム・コントローラー 2 3 1 とプロセス・コントローラー 2 1 1 は、パラレルバス 2 2 0、画像データ制御部 2 0 3 およびシリアルバス 2 1 0 を介して相互に通信をおこなう。具体的には、画像データ制御部 2 0 3 内においてパラレルバス 2 2 0 とシリアルバス 2 1 0 とのデータ・インターフェースのためのデータフォーマット変換をおこなうことにより、システム・コントローラー 2 3 1 とプロセス・コントローラー 2 1 1 間の通信をおこなう。

【 0 0 6 7 】

（画像処理ユニット 1 0 3 / 画像処理プロセッサ 2 0 4）

つぎに、上記した構成のうち、画像処理ユニット 1 0 3 を構成する画像処理プロセッサ 2 0 4 における処理の概要について説明する。図 3 は本実施の形態にかかる画像処理装置の画像処理プロセッサ 2 0 4 の処理の概要を示すブロック図である。

【 0 0 6 8 】

図 3 のブロック図において、画像処理プロセッサ 2 0 4 は、第 1 入力 I / F（I / F） 3 0 1 と、スキャナー画像処理部 3 0 2 と、第 1 出力 I / F 3 0 3 と、第 2 入力 I / F 3 0 4 と、画質処理部 3 0 5 と、第 2 出力 I / F 3 0 6 とを含む構成となっている。

【 0 0 6 9 】

上記構成において、読み取られた画像データはセンサー・ボード・ユニット 2 0 2、画像データ制御部 2 0 3 を介して画像処理プロセッサ 2 0 4 の第 1 入力 I / F 3 0 1 からスキャナ画像処理部 3 0 2 へ伝達される。

【 0 0 7 0 】

スキャナ画像処理部 3 0 2 は読み取られた画像データの劣化を補正することを目的とし、具体的には、シェーディング補正、スキャナ  $\gamma$  補正、MTF 補正等をおこなう。補正処理ではないが、拡大／縮小の変倍処理もおこなうことができる。読み取り画像データの補正処理が終了すると、第 1 出力 I / F 3 0 3 を介して画像データ制御部 2 0 3 へ画像データを転送する。

【 0 0 7 1 】

転写紙への出力の際は、画像データ制御部 2 0 3 からの画像データを第 2 入力 I / F 3 0 4 より受信し、画質処理部 3 0 5 において面積階調処理をおこなう。画質処理後の画像データは第 2 出力 I / F 3 0 6 を介してビデオ・データ制御部 2 0 5 または画像データ制御部 2 0 3 へ出力される。

【 0 0 7 2 】

画質処理部 3 0 5 における面積階調処理は、濃度変換処理、ディザ処理、誤差拡散処理等があり、階調情報の面積近似を主な処理とする。いったん、スキャナ画像処理部 3 0 2 により処理された画像データをメモリー・モジュール 2 2 2 に蓄積しておけば、画質処理部 3 0 5 により画質処理を変えることによって種々の再生画像を確認することができる。

【 0 0 7 3 】

たとえば、再生画像の濃度を振って（変更して）みたり、ディザマトリクスの線数を変更してみたりすることにより、再生画像の雰囲気を変換することができる。この際、処理を変更するごとに画像を読取ユニット 2 0 1 からの読み込みをやり直す必要はなく、メモリー・モジュール 2 2 2 から蓄積された画像データを読み出すことにより、同一画像データに対して、何度でも異なる処理を迅速に実施することができる。

【 0 0 7 4 】

また、画像処理プロセッサ 2 0 4 は、画像処理装置における単体スキャナ

としての機能を用いて生成された画像データを処理する場合、スキャナー画像処理と階調処理をあわせて実施し、画像データ制御部 2 0 3 へ出力する。処理内容はプログラマブルに変更することができる。処理の切り替え、処理手順の変更等はシリアル I / F 3 0 8 を介してコマンド制御部 3 0 7 において管理する。

【 0 0 7 5 】

〔実施の形態 1〕

図 4 は、この発明の実施の形態 1 の画像処理プロセッサ 2 0 4 の内部構成を説明するための図である。実施の形態 1 では、図 4 のように構成することにより、図 3 に示した画像処理プロセッサ 2 0 4 の処理を実現している。

【 0 0 7 6 】

図 4 に示した構成は、複数の画像データを同時に処理できる SIMD 型の SIMD 型演算処理部 4 0 1 と、SIMD 型演算処理部 4 0 1 に接続する複数の RAM 4 0 9 および RAM 4 0 9 の各々を制御するメモリー・コントローラ A (図中メモコン A) 4 0 7 a、あるいはメモリー・コントローラ B (図中メモコン B) 4 0 7 b を備えている。なお、この発明の実施の形態 1 ~ 4 のメモリー・コントローラは、いずれも後に図示するコントロール・レジスターを備えている。

【 0 0 7 7 】

そして、メモリー・コントローラ A 4 0 7 a、メモリー・コントローラ B 4 0 7 b と RAM 4 0 9 との間にはメモリー・スイッチ 4 0 5 a、メモリー・スイッチ 4 0 5 b が設けられていて、SIMD 型演算処理部 4 0 1 のレジスター R 0 ~ R 1 9 に対する RAM 4 0 9 の接続状態を切り替えている。この切り替えによって、レジスター R 0 ~ R 1 9 の各々に接続する RAM 4 0 9 の総合的な容量が制御される。

【 0 0 7 8 】

また、図 4 に示した構成は、複数の RAM 4 0 9 に画像データを転送するデータバスを管理するバススイッチ 4 0 3 a、4 0 3 b を備えている。このバススイッチのうち、バススイッチ 4 0 3 a は 2 つのデータ入出力用バス 4 0 2、バススイッチ 4 0 3 b は一つのデータ入出力用バス 4 0 2 と接続している。さらに、メ



モリー・コントローラーのうち、メモリー・コントローラーA407aは、データ入出力用バス402やバススイッチ403a、403bと接続しないものをいう。また、メモリー・コントローラーB407bは、データ入出力用バス402、バススイッチ403a、403bと接続しているものをいう。

【0079】

そして、この発明の実施の形態1、および後で説明する実施の形態2、実施の形態3、実施の形態4では、メモリー・コントローラーA407a、メモリー・コントローラーB407bが、RAM409とSIMD型演算処理部401との間でおこなわれる画像データの転送を制御している。なお、この制御の具体的な内容については、後述するものとする。

【0080】

以上の構成は、以下のように動作する。すなわち、画像データは、データ入出力用バス402を介して画像処理プロセッサ204に入力する。そして、バススイッチ403a、バススイッチ403bを介してメモリー・コントローラーB407bに入力し、メモリー・コントローラーB407bからいったんRAM409に蓄積される。

【0081】

また、RAM409に蓄積された画像データは、SIMD型演算処理部401の処理に応じて読み出され、再度メモリー・スイッチ405aおよびメモリー・コントローラーA407a、メモリー・コントローラーB407bを介してSIMD型演算処理部401に入力する。SIMD型演算処理部401では、この画像データを内部にあるプロセッサエレメント(PE)に転送し、画像データに対する画像処理を実行する。なお、プロセッサエレメントにおける処理でRAM409を使用する場合には、メモリー・コントローラーA407a、メモリー・コントローラーB407bを介してプロセッサエレメントとRAM409との間で画像データが授受される。

【0082】

ここで、画像処理部401の内部構成について説明する。図5はSIMD型プロセッサの概略構成を示す説明図である。SIMDは複数のデータに対し、単

一の命令を並列に実行させるもので、複数のプロセッサエレメント 5 0 0 より構成される。

【0 0 8 3】

それぞれのプロセッサエレメント 5 0 0 は、データを格納するレジスター (Reg) 5 0 1、他のプロセッサエレメント 5 0 0 のレジスターをアクセスするためのマルチプレクサー (MUX) 5 0 2、バレルシフター (Shift Expand) 5 0 3、論理演算器 (ALU) 5 0 4、論理結果を格納するアキュムレーター (A) 5 0 5、アキュムレーター 5 0 5 の内容を一時的に退避させるテンポラリー・レジスター (F) 5 0 6 から構成される。

【0 0 8 4】

各レジスター 5 0 1 はアドレスバスおよびデータバス (リード線およびワード線) に接続されており、処理を規定する命令コード、処理の対象となるデータを格納する。レジスター 5 0 1 の内容は論理演算器 5 0 4 に入力され、演算処理結果はアキュムレーター 5 0 5 に格納される。結果をプロセッサエレメント 5 0 0 外部に取り出すために、テンポラリー・レジスター 5 0 6 にいったん退避させる。テンポラリー・レジスター 5 0 6 の内容を取り出すことにより、対象データに対する処理結果が得られる。

【0 0 8 5】

命令コードは各プロセッサエレメント 5 0 0 に同一内容で与え、処理の対象データをプロセッサエレメント 5 0 0 ごとに異なる状態で与え、隣接プロセッサエレメント 5 0 0 のレジスター 5 0 1 の内容をマルチプレクサー 5 0 2 において参照することで、演算結果は並列処理され、各アキュムレーター 5 0 5 に出力される。

【0 0 8 6】

たとえば、画像データ 1 ラインの内容を各画素ごとにプロセッサエレメント 5 0 0 に配置し、同一の命令コードで演算処理させれば、1 画素ずつ逐次処理するよりも短時間で 1 ライン分の処理結果が得られる。特に、空間フィルター処理、シェーディング補正処理はプロセッサエレメント 5 0 0 ごとの命令コードは演算式そのもので、プロセッサエレメント 5 0 0 すべてに共通に処理を実施す

ることができる。

【0087】

つぎに、実施の形態1のメモリー・コントローラーA407a、メモリー・コントローラーB407bによる、RAM409とSIMD型演算処理部401との間でおこなわれる画像データの転送を制御について説明する。図6は、画像データ転送制御を説明するための模式的な図である。なお、この転送制御は、メモリー・コントローラーA407a、メモリー・コントローラーB407bのいずれについても同様におこなわれるため、図6ではメモリー・コントローラーB407bについてのみ示すものとした。

【0088】

図示するように、実施の形態1のメモリー・コントローラーB407bは、それぞれコントロール・レジスター603と接続している。そして、このコントロール・レジスター603が、メモリー・コントローラーB407bと接続するRAM409、プロセッサエレメント500間でおこなわれる画像データ転送の方式（画像データ転送モード）を設定する画像データ転送モード設定機能を有している。

【0089】

コントロール・レジスター603には、画像処理プロセッサ204の外部（たとえばプロセス・コントローラー211）にあるCPU601から、制御すべきRAM409のアドレス（図中単にアドレスと記す）、RAM409への書き込み条件を示すデータ（書き込みデータ、図中単にデータと記す）、制御信号が入力される。

【0090】

コントロール・レジスター603は、画像データを書き込むRAM409のアドレスを指定したライトアドレス、書き込むワード数を設定するライトワード数、プロセッサエレメント500が画像データを書き込む順番や、書き込みを開始するプロセッサエレメント500の番号（図中（0），（1）・・・で示す）を設定するライトオフセット、使用する記憶容量（レジスターに接続されるRAM409の個数で決まる）を設定する最終アドレス、画像データを読み出すR

AM409のアドレスを指定したリードアドレス、読み出し時のワード数を設定するリードワード数を設定するレジスターを備えている。

#### 【0091】

前記したレジスターのアドレス、RAM409への書き込みデータ、制御信号を入力すると、この各レジスターに所定の値（コントロール・レジスター値）が設定される。このことにより、コントロール・レジスター603は、メモリー・コントローラーB407bを制御するPE転送制御コマンドを生成する。したがって、このPE転送制御コマンドには、ライトアドレス、ライトワード数、ライトオフセット、最終アドレス、リードアドレス、リードワード数の情報が含まれることになる。

#### 【0092】

メモリー・コントローラーB407bは、このようなPE転送制御コマンドを入力するとともにPE転送制御コマンドに応じた制御信号を生成し、メモリー・スイッチ405aを介してRAM409に入力する。この結果、RAM409は、制御信号にしたがう転送モードでSIMD型演算処理部401にあるプロセッサエレメント500と画像データ（太線で示す）を授受する。

#### 【0093】

画像データ転送モードには、たとえば、ライトオフセットで指定されたプロセッサエレメント500から順次画像データを読み出し、これをライトアドレスで指定されたRAM409に転送する処理をライトワード数分だけ繰り返すPEライト転送、リードアドレスで指定されたRAM409から画像データを読み出し、ライトオフセットの設定にしたがってプロセッサエレメント500に転送する処理をリードワード数分だけ繰り返すPEリード転送、PEライト転送を開始し、この終了後に続けてPEリード転送を開始するPEライト・リード転送などがある。

#### 【0094】

また、この発明のコントロール・レジスターで設定可能な画像データ転送モードには、このほかにランダムアクセスモード、自動アクセスモードを切り替えて

画像データ転送をおこなうモード、重複読み出しリードモード、間引きライトモードといった画像データ転送モードがある。このような画像データ転送モードについては、以降の実施の形態で説明するものとする。

【0095】

つぎに、以上述べた実施の形態1の処理を、フローチャートにして説明する。図7は、この発明の実施の形態で共通の画像データ転送制御の概略を説明するためのフローチャートである。また、図8は、特に実施の形態1の画像データ転送制御についてより具体的に説明するフローチャートである。

【0096】

図7に示すように、この発明の画像データ転送制御では、CPU601が、コントロール・レジスター603にレジスター条件を設定するようにメモリー・コントローラーB407bを制御する（ステップS701）。この制御により、コントロール・レジスター603がメモリー・コントローラーA407a、メモリー・コントローラーB407b（以降、特に指定のない場合はメモリー・コントローラーB407bとする）を制御し、メモリー・コントローラーB407bから制御信号が生成される（ステップS702）。

【0097】

ステップS702で生成された制御信号は、メモリー・スイッチ405a、あるいはメモリー・スイッチ405b（以降、特に指定のない場合はメモリー・スイッチ405aとする）を介してRAM409に入力する。RAM409は、制御信号にしたがってSIMD型演算処理部401のプロセッサエレメント500との間で画像データの転送をおこなう（ステップS703）。

【0098】

以上の処理の後、コントロール・レジスター603は、プロセッサエレメント500との転送が終了したか否か判断し（ステップS704）、終了していない場合（ステップS704否定）は、再度制御信号を生成する（ステップS702）。一方、転送が終了した場合（ステップS704肯定）は、画像データ転送制御の処理を終了する。

【0099】

以上の処理を、実施の形態 1 についてより具体的に説明する。図 8 のように、CPU 6 0 1 は、コントロール・レジスタ 6 0 3 のレジスタにコントロール・レジスタ値を設定する（ステップ S 8 0 1）。メモリー・コントローラ B 4 0 7 b は、このコントロール・レジスタ値を P E 転送制御コマンドとして読み取り（ステップ S 8 0 2）、P E 転送制御コマンドが P E ライト転送モードを示すものか否か判断する（ステップ S 8 0 3）。

【0 1 0 0】

ステップ S 8 0 3 の判断の結果、メモリー・コントローラ B 4 0 7 b は、P E 転送制御コマンドが P E ライト転送モードであると判断すると（ステップ S 8 0 3 肯定）、P E ライト転送スタート要求を読み取る（ステップ S 8 0 4）。そして、P E ライト転送をスタートするか否か判断する（ステップ S 8 0 5）。

【0 1 0 1】

ステップ S 8 0 5 の判断の結果、P E ライト転送をスタートしない場合（ステップ S 8 0 5 否定）は、再度 P E ライト転送のスタート要求を読み取ることによってスタートするまで待機する。一方、P E ライト転送をスタートする場合（ステップ S 8 0 5 肯定）は、メモリー・コントローラ B 4 0 7 b が制御信号を生成する（ステップ S 8 0 6）。この制御信号はプロセッサ・エレメント 5 0 0 に入力し、プロセッサ・エレメント 5 0 0 が R A M 4 0 9 にアクセスして画像データを転送する（S 8 0 7）。

【0 1 0 2】

以上の処理終了後、画像データ転送が終了したか否かが判断される（ステップ S 8 1 7）。この判断の結果、転送が終了していない場合（ステップ S 8 1 7 否定）は、再びメモリー・コントローラ B 4 0 7 b から制御信号を読み取る処理に戻る（ステップ S 8 0 2）。また、転送が終了した場合（ステップ S 8 1 7 肯定）は、画像データ転送制御の処理を終了する。

【0 1 0 3】

また、ステップ S 8 0 3 の判断で、P E 転送制御コマンドが P E ライト転送モードのものでない場合（ステップ S 8 0 3 否定）は、P E 転送制御コマンドが P E リード転送モードを示すものか否か判断する（ステップ S 8 0 8）。この判断

で、PE転送制御コマンドがPEリード転送モードのものであると判断された場合（ステップS808肯定）は、PEリード転送スタート要求を読み取り（ステップS809）、PEリード転送をスタートするか否か判断する（ステップS810）。そして、PEリード転送をスタートしない場合（ステップS810否定）は、PEリード転送がスタートするまで待機する。

【0104】

一方、PEリード転送をスタートする場合（ステップS810肯定）は、メモリー・コントローラーB407bが制御信号を生成し（ステップS811）、RAM409に入力する。この制御信号により、RAM409に記憶されている画像データが読み出され、プロセッサエレメント500へ転送される（S812）。

【0105】

以上の処理終了後、画像データ転送が終了したか否かが判断される（ステップS817）。この判断の結果、転送が終了していない場合（ステップS817否定）は、再びメモリー・コントローラーB407bから制御信号を読み取る処理に戻る（ステップS802）。また、転送が終了した場合（ステップS817肯定）は、画像データ転送制御の処理を終了する。

【0106】

また、ステップS808の判断で、PE転送制御コマンドがPEリード転送モードのものでないと判断された場合（ステップS808否定）は、図8のフローチャートでは、PE転送制御コマンドがPEライト・リード転送モードを示すものと判断する。そして、PEライト・リード転送スタート要求を読み取り（ステップS813）、PEライト・リード転送をスタートするか否か判断する（ステップS814）。

【0107】

そして、PEライト・リード転送をスタートしない場合（ステップS814否定）は、PEライト・リード転送がスタートするまで待機する。一方、PEライト・リード転送をスタートする場合（ステップS814肯定）は、メモリー・コントローラーB407bが制御信号を生成し（ステップS815）、プロセッサ

ーエレメント 500 に入力する。この制御信号により、RAM 409、プロセッサエレメント 500 間で PE ライト・リード転送モードによる画像データ転送がおこなわれる (S 816)。

【0108】

以上の処理終了後、画像データ転送が終了したか否かが判断される (ステップ S 817)。この判断の結果、転送が終了していない場合 (ステップ S 817 否定) は、再びメモリー・コントローラー B 407 b から制御信号を読み取る処理に戻る (ステップ S 802)。また、転送が終了した場合 (ステップ S 817 肯定) は、画像データ転送制御の処理を終了する。

【0109】

以上説明した実施の形態 1 によれば、コントロール・レジスターで SIMD 型演算処理部 401 と RAM 409 との間でおこなわれる画像データの転送モードが制御できる。このため、画像データの処理に応じて画像データ転送を最適化することができ、画像処理装置における画像処理の効率を高めることができる。

【0110】

また、実施の形態 1 では、このような画像データ転送モードの制御がコントロール・レジスターを設けることで実現できる。このため、画像データ転送モードを制御できる機能を付加したことによって生じるハードウェアの大型化やコストの上昇を抑えることができる。

【0111】

〔実施の形態 2〕

つぎに、実施の形態 2 の画像処理装置による、RAM 409 と SIMD 型演算処理部 401 との間でおこなわれる画像データの転送を制御について説明する。実施の形態 2 の画像処理装置は、コントロール・レジスターが、アドレスを設定してメモリーにアクセスするランダムアクセスモードの設定と、自動的にアドレスを更新してメモリーにアクセスする自動アクセスモードの設定とを、外部から与えられる制御信号にしたがって切り替えるように構成されている。

【0112】

図 9 は、実施の形態 2 の画像データ転送制御を説明するための模式的な図であ



る。なお、図9に示した構成は、コントロール・レジスター、メモリー・コントローラー以外の構成については図6に示したものと同様に構成されている。このため、図9に示した構成について、図6に示した構成と同様のものについては同様の符号を付して説明を一部省略するものとする。

【0113】

図示するように、実施の形態2のメモリー・コントローラー907は、コントロール・レジスター903と接続している。そして、このコントロール・レジスター903が、メモリー・コントローラー907と接続するRAM409の画像データ転送モードを設定する画像データ転送モード設定機能を有している。

【0114】

コントロール・レジスター903には、画像処理プロセッサ204の外部（たとえばプロセス・コントローラー211）にあるCPU601から、制御すべきRAM409が接続されたレジスターのアドレス（図中単にアドレスと記す）、RAM409への書き込みデータ（図中単にデータと記す）、制御信号が入力される。

【0115】

コントロール・レジスター903には、コントロール・レジスター603と同様に、ライトアドレス、ライトワード数、ライトオフセット、最終アドレス、リードアドレス、リードワード数を設定するレジスターがある。また、実施の形態2のコントロール・レジスター903は、さらにランダムアクセスモード、自動アクセスモードの別、さらには自動アクセスモード時におけるアドレスの更新方向および更新量を設定するレジスターを有している。

【0116】

コントロール・レジスター903では、メモリー・コントローラー907のPE転送制御コマンドを作成し、メモリー・コントローラー907に出力する。さらに、ランダムアクセスモード、自動アクセスモードの別（図中、ランダム／自動アクセスモードと記す）、自動アクセスモード時におけるアドレスの更新方向（図中アドレス更新方向と記す）および更新量（図中アドレス更新量と記す）に関する制御コマンドを、PE転送制御コマンドとともにメモリー・コントローラ

ー 907 に出力する。

【0117】

メモリー・コントローラー 907 は、PE 転送制御コマンドおよびランダムアクセスモード、自動アクセスモードの別、自動アクセスモード時におけるアドレスの更新方向および更新量に関する制御コマンドに応じて制御信号を生成する。そして、この制御信号とともに、ランダムアクセスモードの動作に必要なアドレスをメモリー・スイッチ 405a を介して RAM 409 に入力する。この結果、RAM 409 は、制御信号にしたがって SIMD 型演算処理部 401 にあるプロセッサエレメント 500 と、ランダムアクセスモード、あるいは自動アクセスモードによって画像データ（太線で示す）を授受する。

【0118】

ここで、ランダムアクセスモード、自動アクセスモードによる実施の形態 2 の画像データ転送制御の動作について説明する。

【0119】

（ランダムアクセスモード）

ランダムアクセスモードは、RAM 409 に対してアクセスするたび、RAM 409 のアドレスを設定する画像データ転送モードをいう。実施の形態 2 では、コントロール・レジスター 903 から PE 転送制御コマンドとともにランダムアクセスモード、自動アクセスモードの別に関する制御コマンドがメモリー・コントローラー 907 に入力する。

【0120】

メモリー・コントローラー 907 は、このコマンドが、ランダムアクセスモード、自動アクセスモードのどちらを示しているか判別する。そして、コマンドがランダムアクセスモードを示す場合、ライト、リードの動作に応じてライトアドレスまたはリードアドレスに設定されているアドレスを制御信号とともにメモリー・スイッチ 405a に出力する。

【0121】

そして、リード動作時には、このアドレスで指定される RAM 409 にアクセスして RAM 409 に記憶されている画像データを読み出す。読み出された画像

データは、プロセッサエレメント 500 に転送される。

【0122】

一方、ライト動作時には、メモリー・コントローラー 907 がライトオフセットで最初書き込みをおこなうように設定されたプロセッサエレメント 500 からライト動作を開始し、順次 RAM 409 に画像データを転送する。このため、CPU 601 は、アクセスのたび、毎回コントロール・レジスター 903 のレジスターに RAM 409 のアドレスを設定する必要がある。

【0123】

(自動アクセスモード)

自動アクセスモードは、RAM 409 に対してアクセスする際、最初にアクセスされる RAM 409 のアドレスのみを設定する。そして、以降、自動的にアドレスを更新しながら RAM 409 にアクセスする処理を繰り返す画像データ転送モードをいう。

【0124】

メモリー・コントローラー 907 は、入力したコマンドがランダムアクセスモードを示す場合、ライト、リードの動作に応じてライトアドレスまたはリードアドレスに設定されているアドレスを制御信号とともにメモリー・スイッチ 405a に出力する。

【0125】

そして、リード動作時には、このアドレス（初期アドレス）で指定された RAM 409 から順にアクセスする処理を繰り返し、読み出した画像データをプロセッサエレメント 500 に転送する。この処理の繰り返しの際、アクセスされる RAM 409 のアドレスは自動的に更新される。アドレスの更新は、コントロール・レジスター 903 からメモリー・コントローラー 907 に対して入力するアドレス更新方向、アドレス更新量を示すコマンドに基づいておこなわれる。

【0126】

すなわち、メモリー・コントローラー 907 は、初期アドレスを持った RAM 409 から順に、アドレス更新方向で設定された方向（アドレスの数値が増加する方向、あるいは減少する方向）に、アドレス更新量で設定された量だけアドレ

スを更新しながら R A M 4 0 9 にアクセスする処理を繰り返す。なお、この繰り返しは、リードワード数として設定された数だけおこなわれる。

【 0 1 2 7 】

一方、ライト動作時には、ライトオフセットで指定されたプロセッサエレメント 5 0 0 から順にアクセスする処理を繰り返し、各プロセッサエレメント 5 0 0 で処理された画像データを R A M 9 0 4 に転送する。この処理の繰り返しの際、アクセスされるプロセッサエレメント 5 0 0 のアドレスは自動的に更新される。アドレスの更新は、コントロール・レジスター 9 0 3 からメモリー・コントローラー 9 0 7 に対して入力するアドレス更新方向、アドレス更新量を示すコマンドに基づいておこなわれる。

【 0 1 2 8 】

すなわち、メモリー・コントローラー 9 0 7 は、ライトオフセットで指定されたプロセッサエレメント 5 0 0 から順に、アドレス更新方向で設定された方向に、アドレス更新量で設定された量だけアドレスを更新しながらプロセッサエレメント 5 0 0 にアクセスする処理を繰り返す。なお、この繰り返しは、リードワード数として設定された数だけおこなわれる。

【 0 1 2 9 】

以上説明した実施の形態 2 の処理を、図 1 0 のフローチャートを用いて説明する。図 1 0 のように、C P U 6 0 1 は、コントロール・レジスター 9 0 3 のレジスターにコントロール・レジスター値を設定する（ステップ S 1 0 0 1）。このコントロール・レジスター値に応じ、コントロール・レジスター 9 0 3 からメモリー・コントローラー 9 0 7 に P E 転送制御コマンド、ランダムアクセスモード、自動アクセスモードに関する制御コマンドが入力する。メモリー・コントローラー 9 0 7 は、このうちの P E 転送制御コマンドを読み取り（ステップ S 1 0 0 2）、P E ライト転送モードが設定されたか否か判断する（ステップ S 1 0 0 3）。

【 0 1 3 0 】

ステップ S 1 0 0 3 の判断で、P E 転送制御コマンドが P E ライト転送モードのものであると判断された場合（ステップ S 1 0 0 3 肯定）は、P E ライト転送

スタート要求を読み取り（ステップ S 1 0 0 4）、P E ライト転送をスタートするか否か判断する（ステップ S 1 0 0 5）。そして、P E ライト転送をスタートしない場合（ステップ S 1 0 0 5 否定）は、P E ライト転送をスタートするまで待機する。

【 0 1 3 1 】

一方、P E ライト転送をスタートする場合（ステップ S 1 0 0 5 肯定）は、メモリー・コントローラー B 4 0 7 b が制御信号を生成し（ステップ S 1 0 0 6）、プロセッサ・エレメント 5 0 0 に入力する。この制御信号により、プロセッサ・エレメント 5 0 0 が R A M 4 0 9 にアクセスし、プロセッサ・エレメント 5 0 0 から R A M 4 0 9 への画像データ転送が設定される（S 1 0 0 7）。

【 0 1 3 2 】

さらに、実施の形態 2 では、ステップ S 1 0 0 7 の画像データ転送がランダムアクセスモードでなされたものか否か判断する（ステップ S 1 0 0 8）。この判断の結果、画像データがランダムアクセスモードで転送されたものでない、つまり、自動アクセスモードで転送された場合（ステップ S 1 0 0 8 否定）は、つぎの画像データ転送のためにコントロール・レジスター値を更新する（ステップ S 1 0 0 9）。なお、この更新は、アドレス更新方向で設定された方向に、アドレス更新量で設定された量だけおこなわれる。

【 0 1 3 3 】

以上の処理終了後、またはステップ S 1 0 0 8 において画像データの転送がランダムアクセスモードでなされた場合（ステップ S 1 0 0 8 肯定）は、画像データ転送が終了したか否かが判断される（ステップ S 1 0 2 3）。この判断の結果、転送が終了していない場合（ステップ S 1 0 2 3 否定）は、再びメモリー・コントローラー B 4 0 7 b から制御信号を読み取る処理に戻る（ステップ S 1 0 0 2）。また、転送が終了した場合（ステップ S 1 0 2 3 肯定）は、画像データ転送制御の処理を終了する。

【 0 1 3 4 】

また、ステップ S 1 0 0 3 の判断で、P E 転送制御コマンドが P E ライト転送モードのものでないと判断された場合（ステップ S 1 0 0 3 否定）は、P E 転送

制御コマンドがPEリード転送モードのものか否か判断する（ステップS1010）。ステップS1010の判断で、PE転送制御コマンドがPEリード転送モードのものであると判断された場合（ステップS1010肯定）は、PEリード転送スタート要求を読み取り（ステップS1011）、PEリード転送をスタートするか否か判断する（ステップS1012）。そして、PEリード転送をスタートしない場合（ステップS1012否定）は、PEリード転送をスタートするまで待機する。

【0135】

一方、PEリード転送をスタートする場合（ステップS1012肯定）は、メモリー・コントローラー907が制御信号を生成し（ステップS1013）、RAM409に入力する。この制御信号により、RAM409に記憶されている画像データが読み出され、プロセッサエレメント500へ転送される（S1014）。

【0136】

さらに、実施の形態2では、ステップS1014の画像データ転送がランダムアクセスモードでなされたものか否か判断する（ステップS1015）。そして、画像データが自動アクセスモードで転送されたと判断した場合（ステップS1015否定）は、つぎの画像データ転送のためにコントロール・レジスター値をアドレス更新方向で設定された方向に、アドレス更新量で設定された量だけ更新する（ステップS1016）。

【0137】

以上の処理終了後、またはステップS1014において画像データの転送がランダムアクセスモードでなされた場合（ステップS1015肯定）は、画像データ転送が終了したか否かが判断される（ステップS1023）。この判断の結果、転送が終了していない場合（ステップS1023否定）は、再びメモリー・コントローラー407から制御信号を読み取る処理に戻る（ステップS1002）。また、転送が終了した場合（ステップS1023肯定）は、画像データ転送制御の処理を終了する。

【0138】

また、ステップ S1010 の判断で、PE 転送制御コマンドが PE リード転送モードのものでないと判断された場合（ステップ S1010 否定）は、PE 転送制御コマンドが PE ライト・リード転送モードを示すものと判断する。そして、PE ライト・リード転送スタート要求を読み取り（ステップ S1017）、PE ライト・リード転送をスタートするか否か判断する（ステップ S1018）。

【0139】

PE ライト・リード転送をスタートしない場合（ステップ S1018 否定）は、PE ライト・リード転送をスタートするまで待機する。一方、PE ライト・リード転送をスタートする場合（ステップ S1018 肯定）は、メモリー・コントローラー B407b が制御信号を生成し（ステップ S1019）、プロセッサエレメント 500 に入力する。この制御信号により、RAM409、プロセッサエレメント 500 間で PE ライト・リード転送モードによる画像データ転送がおこなわれる（S1020）。

【0140】

さらに、実施の形態 2 では、ステップ S1020 の画像データ転送がランダムアクセスモードでなされたものか否か判断する（ステップ S1021）。この判断の結果、画像データが自動アクセスモードで転送された場合（ステップ S1021 否定）は、つぎの画像データ転送のため、アドレス更新方向で設定された方向に、アドレス更新量で設定された量だけコントロール・レジスター値を更新する（ステップ S1022）。

【0141】

以上の処理終了後、またはステップ S1020 において画像データの転送がランダムアクセスモードでなされた場合（ステップ S1021 肯定）は、画像データ転送が終了したか否かが判断される（ステップ S1023）。この判断の結果、転送が終了していない場合（ステップ S1023 否定）は、再びメモリー・コントローラー 407 から制御信号を読み取る処理に戻る（ステップ S1002）。また、転送が終了した場合（ステップ S1023 肯定）は、画像データ転送制御の処理を終了する。

【0142】

以上述べたように、実施の形態 2 によれば、RAM 4 0 9、SIMD 型演算処理部 4 0 1 間の画像データ転送に際し、ランダムアクセスモード、自動アクセスモードのいずれかを選択することができる。このため、画像処理に応じて選択できる画像データ転送の設定の自由度が増し、画像処理の効率を一層高めることができる。

## 【 0 1 4 3 】

## 〔実施の形態 3〕

つぎに、実施の形態 3 の画像処理装置による、RAM 4 0 9 と SIMD 型演算処理部 4 0 1 との間でおこなわれる画像データの転送を制御について説明する。実施の形態 3 の画像処理装置は、コントロール・レジスターが、外部から与えられる制御信号にしたがって RAM 4 0 9 から重複して画像データを読み出すとともに SIMD 型演算処理部 4 0 1 に転送する、重複読出しモードを設定するものである。

## 【 0 1 4 4 】

図 1 1 は、実施の形態 3 の画像データ転送制御を説明するための模式的な図である。なお、図 1 1 に示した構成は、コントロール・レジスター、メモリー・コントローラー以外の構成については図 6、図 9 に示したものと同様に構成されている。このため、図 1 1 に示した構成について、図 6、図 9 に示した構成と同様のものについては同様の符号を付して説明を一部省略するものとする。

## 【 0 1 4 5 】

図示するように、実施の形態 3 のメモリー・コントローラー 1 1 0 7 は、コントロール・レジスター 1 1 0 3 と接続している。コントロール・レジスター 1 1 0 3 には、コントロール・レジスター 6 0 3 と同様に、ライトアドレス、ライトワード数、ライトオフセット、最終アドレス、リードアドレス、リードワード数を設定するレジスターがある。また、実施の形態 3 のコントロール・レジスター 1 1 0 3 は、さらに重複読出しモード、さらには重複読出し時におけるアドレスの更新方向および更新量を設定するレジスターを有している。

## 【 0 1 4 6 】

コントロール・レジスター 1 1 0 3 では、メモリー・コントローラー 1 1 0 7



の P E 転送制御コマンドを作成し、メモリー・コントローラー 1 1 0 7 に出力する。さらに、重複読出しモード、重複読出し時のアドレスの更新方向（図中アドレス更新方向と記す）および更新量（図中アドレス更新量と記す）に関する制御コマンドを、P E 転送制御コマンドとともにメモリー・コントローラー 1 1 0 7 に出力する。また、メモリー・コントローラー 1 1 0 7 には、外部（たとえばプロセス・コントローラー 2 1 1）から重複読出しのタイミングを指示する重複読出し制御信号が入力する。

【0 1 4 7】

メモリー・コントローラー 1 1 0 7 は、P E 転送制御コマンドおよび重複読出しモード、重複読出しのアドレスの更新方向および更新量に関する制御コマンドに応じて制御信号を生成する。そして、この制御信号とともに、重複読出し動作に必要なアドレスをメモリー・スイッチ 4 0 5 a を介して R A M 4 0 9 に入力する。この結果、R A M 4 0 9 は、制御信号にしたがって S I M D 型演算処理部 4 0 1 にあるプロセッサエレメント 5 0 0 と、重複読出しモードによって画像データ（太線で示す）を授受する。

【0 1 4 8】

ここで、重複読出しモードによる実施の形態 3 の画像データ転送制御の動作について説明する。図 1 2 は、重複読出しのための動作をより詳細に説明する図である。図 1 2 には、S I M D 型演算処理部 4 0 1 に接続される R A M 4 0 9 の各々を、0, 1, 2, 3 . . . として区別して示す。R A M 0、R A M 1、R A M 2、R A M 3 には、それぞれ画像データ A、画像データ B、画像データ C、画像データ D、画像データ E が保存されている。

【0 1 4 9】

また、S I M D 型演算処理部 4 0 1 内部のプロセッサエレメント 5 0 0 の各々を、0, 1, 2, 3 . . . として区別して示す。さらに、区別されたプロセッサエレメントの各々に対して与えられる重複読出し制御信号を、「0」, 「1」に区別して示す。なお、この「0」は重複読出しをおこなわないことを、「1」は重複読出しをおこなうことをそれぞれ示している。

【0 1 5 0】

プロセッサエレメント 0 が RAM 0 にアクセスし、画像データを読み出す場合、この読み出しにあたって一つ目の読み出し制御信号「0」が論理回路 1 2 0 1 に出力される。また、この際には、アクセスされる RAM 0 のアドレスも、この読み出し制御信号に合わせて論理回路 1 2 0 1 に入力する。論理回路 1 2 0 1 は、RAM 0 のアドレスと「0」の信号とをプロセッサエレメント 0 に出力する。

【0 1 5 1】

プロセッサエレメント 0 は、入力したアドレスにしたがって RAM 0 にアクセスし、画像データ A を読み出す。このとき、信号「0」により重複読み出しはおこなわれずに RAM 0 に記憶されている画像データ A がプロセッサエレメント 0 に転送される（プロセッサエレメント 0 中に A として記す）。

【0 1 5 2】

つぎに、RAM 1 のアドレスと重複読み出し制御信号「1」とが、論理回路 1 2 0 1 に入力する。このとき、論理回路 1 2 0 1 は、重複読み出し制御信号「1」によって RAM のアドレスを更新しない。したが、プロセッサエレメント 1 は、先にアクセスした RAM 0 に再びアクセスし、RAM 0 に記憶されている画像データ A を読み出す。この結果、プロセッサエレメント 0、プロセッサエレメント 1 の両方に RAM 0 に記憶されている画像データが転送される（プロセッサエレメント 1 側に転送された画像データ A を画像データ A' として示す）。

【0 1 5 3】

以上のようにして、順次プロセッサエレメント 0, 1, 2, 3 . . . が RAM 0, RAM 1, RAM 2, RAM 3 . . . にアクセスし、RAM に記憶された画像データを読み出してはプロセッサエレメントに転送する。このような処理を図示した重複読み出し制御信号にしたがって実行すると、SIMD 型演算処理部 4 0 1 のプロセッサエレメントには、画像データ A、画像データ A'、画像データ B、画像データ B'、画像データ C、画像データ C'、画像データ D、画像データ D' の順序で転送される。

【0 1 5 4】

なお、画像データ X（X は任意の数）の表記は、RAM X に記憶されている画

像データを示し、画像データ X' の表記は、重複読出しモードによって転送された RAMX に記憶されている画像データを示す。

【0155】

以上説明した実施の形態 3 の処理を、図 13 のフローチャートを用いて説明する。なお、図 13 のフローチャートは、画像データ転送モードが PE リード転送モード、あるいは PE ライト・リード転送モードのいずれかである場合になされる処理を説明するものである。

【0156】

図 13 のように、CPU 601 は、コントロール・レジスター 1103 のレジスターにコントロール・レジスター値を設定する（ステップ S1301）。コントロール・レジスター 1103 は、このコントロール・レジスター値に応じて PE 転送制御コマンド、ランダムアクセスモード、自動アクセスモード、さらには重複読出しモードに関する制御コマンドをメモリー・コントローラー 1103 に入力する。

【0157】

メモリー・コントローラー 1107 は、このような制御コマンドを読み取り（ステップ S1302）、このうちの PE 転送制御コマンドから PE 転送制御モードがリード転送モードを示すものか否か判断する（ステップ S1303）。

【0158】

ステップ S1303 の判断で、PE 転送制御コマンドが PE リード転送モードのものであると判断された場合（ステップ S1303 肯定）は、PE リード転送スタート要求を読み取り（ステップ S1304）、PE リード転送をスタートするか否か判断する（ステップ S1305）。そして、PE リード転送をスタートしない場合（ステップ S1305 否定）は、PE リード転送がスタートするまで待機する。

【0159】

一方、PE リード転送をスタートする場合（ステップ S1305 肯定）は、メモリー・コントローラー B407b が制御信号を生成し（ステップ S1306）、RAM409 に入力する。この制御信号により、RAM409 に記憶されてい

る画像データが読み出され、プロセッサエレメント 5 0 0 への転送される (S 1 3 0 7)。

【0 1 6 0】

つぎに、メモリー・コントローラ 1 1 0 7 は、ステップ S 1 3 0 7 でなされた画像データの転送が、ランダムアクセスモードでなされたものか否か判断する (ステップ S 1 3 0 8)。そして、画像データが自動アクセスモードで転送されたと判断すると (ステップ S 1 3 0 8 否定)、このアクセスが重複読出しモードでなされたか否か判断する (ステップ S 1 3 0 9)。

【0 1 6 1】

そして、重複読出しモードの設定がなされていない場合 (ステップ S 1 3 0 9 否定) は、コントロール・レジスタ 1 1 0 3 に設定されたコントロール・レジスタ値を、アドレス更新方向で設定された方向にアドレス更新量で設定された量だけ更新する (ステップ S 1 3 1 1)。

【0 1 6 2】

また、ステップ S 1 3 0 9 の判断の結果、重複読出しモードが設定されている場合 (ステップ S 1 3 0 9 肯定) は、重複読出し要求がなされたか否か判断する (ステップ S 1 3 1 0)。この重複読出し要求の有無の判断は、重複読出し制御信号の入力の有無によっておこなわれる。

【0 1 6 3】

そして、重複読出し要求がなかった場合 (ステップ S 1 3 1 0 否定) は、コントロール・レジスタ 1 1 0 3 に設定されたコントロール・レジスタ値を更新する (ステップ S 1 3 1 1)。以上の処理の後、または重複読出し要求があった場合 (ステップ S 1 3 1 0 肯定) は、画像データ転送が終了したか否かが判断される (ステップ S 1 3 2 0)。

【0 1 6 4】

この判断の結果、転送が終了していない場合 (ステップ S 1 3 2 0 否定) は、再びメモリー・コントローラ B 4 0 7 b から制御信号を読み取る処理に戻る (ステップ S 1 3 0 2)。また、転送が終了した場合 (ステップ S 1 3 2 0 肯定) は、画像データ転送制御の処理を終了する。

【0165】

また、ステップS1303の判断で、PE転送制御コマンドがPEリード転送モードのものでないと判断された場合（ステップS1303否定）は、PE転送制御コマンドがPEライト・リード転送モードのものであると判断する。そして、PEライト・リード転送スタート要求を読み取り（ステップS1312）、PEリード転送をスタートするか否か判断する（ステップS1313）。この結果、PEリード転送をスタートしない合には（ステップS1313否定）は、PEリード転送がスタートするまで待機する（ステップS1312）。

【0166】

一方、PEライト・リード転送をスタートする場合（ステップS1313肯定）は、メモリー・コントローラーB407bが制御信号を生成し（ステップS1314）、プロセッサエレメント500に inputsする。この制御信号により、プロセッサエレメント500がRAM409にアクセスし、画像データがRAM409に転送される（S1315）。

【0167】

つぎに、メモリー・コントローラー1107は、ステップS1315の画像データ転送がランダムアクセスモードでなされたものか否か判断する（ステップS1316）。そして、画像データが画像データが自動アクセスモードで転送されたと判断すると（ステップS1316否定）、このアクセスが重複読出しモードでなされるか否か判断する（ステップS1317）。そして、重複読出しモードの設定がなされていない場合（ステップS1317否定）は、コントロール・レジスター1103に設定されたコントロール・レジスター値を更新する（ステップS1319）。

【0168】

また、ステップS1317の判断の結果、重複読出しモードが設定されている場合（ステップS1317肯定）は、重複読出し制御信号入力の有無によって重複読出し要求がなされたか否か判断する（ステップS1318）。そして、重複読出しモードの設定がなされていない場合（ステップS1318否定）は、コントロール・レジスター1103に設定されたコントロール・レジスター値を、ア

ドレス更新方向で設定された方向に、アドレス更新量で設定された量だけ更新する（ステップ S 1 3 1 9）。

【 0 1 6 9 】

以上の処理の後、または重複読出し要求があった場合（ステップ S 1 3 1 8 肯定）は、画像データ転送が終了したか否かが判断される（ステップ S 1 3 2 0）。この判断の結果、転送が終了していない場合（ステップ S 1 3 2 0 否定）は、再びメモリー・コントローラー B 4 0 7 b から制御信号を読み取る処理に戻る（ステップ S 1 3 0 2）。また、転送が終了した場合（ステップ S 1 3 2 0 肯定）は、画像データ転送制御の処理を終了する。

【 0 1 7 0 】

以上述べた実施の形態 3 によれば、連続して R A M 4 0 9 にアクセスするように設定されたプロセッサ・エレメントが同じ画像データを処理する場合、同一の R A M 4 0 9 に保存された画像データを処理することになる。このため、同一の画像データを記憶する R A M 4 0 9 を複数設ける必要がなくなり、画像処理装置の R A M 4 0 9 の個数を抑えることができる。

【 0 1 7 1 】

〔実施の形態 4〕

つぎに、実施の形態 4 の画像処理装置による、R A M 4 0 9 と S I M D 型演算処理部 4 0 1 との間でおこなわれる画像データの転送を制御について説明する。実施の形態 4 の画像処理装置は、コントロール・レジスターが、外部から与えられる制御信号にしたがって S I M D 型演算処理部 4 0 1 から画像データを間引いて読み出すとともに R A M 4 0 9 に転送する、間引き読出し転送モードを設定するものである。

【 0 1 7 2 】

図 1 4 は、実施の形態 4 の画像データ転送制御を説明するための模式的な図である。なお、図 1 4 に示した構成は、コントロール・レジスター、メモリー・コントローラー以外の構成については図 6、図 9、図 1 1 に示したものと同様に構成されている。このため、図 1 4 に示した構成について、図 6、図 9、図 1 1 に示した構成と同様のものについては同様の符号を付して説明を一部省略するもの

とする。

【0173】

図示するように、実施の形態4のメモリー・コントローラー1407は、コントロール・レジスター1403と接続している。コントロール・レジスター1403には、コントロール・レジスター603と同様に、ライトアドレス、ライトワード数、ライトオフセット、最終アドレス、リードアドレス、リードワード数を設定するレジスターがある。また、実施の形態4のコントロール・レジスター1403は、さらに間引き書き込みモード、間引き書き込みにおけるアドレスの更新方向および更新量を設定するレジスターを有している。

【0174】

コントロール・レジスター1403では、メモリー・コントローラー1407のPE転送制御コマンドを作成し、メモリー・コントローラー1407に出力する。さらに、間引き書き込みモード、間引き書き込み時のアドレスの更新方向（図中アドレス更新方向と記す）および更新量（図中アドレス更新量と記す）に関する制御コマンドを、PE転送制御コマンドとともにメモリー・コントローラー1407に出力する。また、メモリー・コントローラー1407には、外部（たとえばプロセス・コントローラー211）から間引き書き込みのタイミングを指示する間引き書き込み制御信号が入力する。

【0175】

メモリー・コントローラー1407は、PE転送制御コマンドおよび間引き書き込みモード、間引き書き込みのアドレスの更新方向および更新量に関する制御コマンドに応じて制御信号を生成する。そして、この制御信号とともに、間引き書き込み動作に必要なアドレスをメモリー・スイッチ405aを介してRAM409に入力する。この結果、RAM409は、制御信号にしたがってSIMD型演算処理部401にあるプロセッサエレメント500と、間引き書き込みモードによって画像データ（太線で示す）を授受する。

【0176】

ここで、間引き書き込みモードによる実施の形態4の画像データ転送制御の動作について説明する。図15は、間引き書き込みのための動作をより詳細に説明

する図である。図 1 5 には、S I M D 型演算処理部 4 0 1 に接続される R A M 4 0 9 の各々を、0, 1, 2, 3 . . . に区別して示す。

【0 1 7 7】

また、S I M D 型演算処理部 4 0 1 内部のプロセッサエレメント 5 0 0 の各々を、0, 1, 2, 3 . . . として区別して示す。図 1 5 に 0, 1, 2, 3 . . . で示されたプロセッサエレメント 5 0 0 では、各々画像データ A、画像データ B、画像データ C、画像データ D、画像データ E、画像データ F、画像データ G、画像データ H が処理される。

【0 1 7 8】

さらに、区別されたプロセッサエレメントの各々に対して与えられる間引き書き込み制御信号を、「0」, 「1」に区別して示す。なお、この「0」は間引き書き込みをおこなわないことを、「1」は間引き書き込みをおこなうことをそれぞれ示している。

【0 1 7 9】

プロセッサエレメント 0 が R A M 4 0 9 にアクセスし、画像データを転送して書き込む場合、この転送にあたってプロセッサエレメント 0 のアドレス（番号 0 で表されるものであっても良い）が論理回路 1 5 0 1 に出力される。また、これと併せて、一つ目の間引き書き込み制御信号「0」が論理回路 1 5 0 1 に出力される。論理回路 1 5 0 1 は、プロセッサエレメント 0 のアドレスと「0」の間引き書き込み信号とを R A M 0 に出力する。

【0 1 8 0】

R A M 0 には、入力したアドレスに対応するプロセッサエレメント 0 のアクセスによって画像データ A が転送される。このとき、信号「0」により間引き書き込みはおこなわれず、転送された画像データ A は、R A M 0 に書き込まれる（図 1 5 に示した R A M 0 に A として記す）。

【0 1 8 1】

つぎに、プロセッサエレメント 1 のアドレスと間引き書き込み制御信号「1」とが、論理回路 1 5 0 1 に入力する。このとき、論理回路 1 5 0 1 は、間引き書き込み制御信号「1」によってプロセッサエレメント 1 の画像データ B の転



送をおこなわない。したが、プロセッサエレメント 1 にあった画像データ B は、いずれの RAM にも書き込まれることなく間引かれる。

【0182】

つぎに、プロセッサエレメント 2 のアドレスと間引き書き込み制御信号「0」とが、論理回路 1501 に入力する。このとき、間引き書き込み制御信号が「0」であることから、プロセッサエレメント 2 の画像データ C が、RAM 1 に転送される。

【0183】

以上のようにして、順次プロセッサエレメントが RAM にアクセスし、処理した画像データを転送する。このような処理を図示した間引き書き込み制御信号にしたがって実行すると、RAM 0、RAM 1、RAM 2、RAM 3 には、画像データ A、画像データ C、画像データ E、画像データ G が書き込まれる。

【0184】

以上説明した実施の形態 4 の処理を、図 16 のフローチャートを用いて説明する。なお、図 16 のフローチャートは、画像データ転送モードが PE ライト転送モード、あるいは PE ライト・リード転送モードのいずれかである場合になされる処理を説明するものである。

【0185】

図 16 のように、CPU 601 は、コントロール・レジスター 1403 のレジスターにコントロール・レジスター値を設定する（ステップ S1601）。コントロール・レジスター 1403 は、このコントロール・レジスター値に応じて PE 転送制御コマンド、ランダムアクセスモード、自動アクセスモード、さらには間引き書き込みしモードに関する制御コマンドをメモリー・コントローラー 1103 に入力する。

【0186】

メモリー・コントローラー 1407 は、このような制御コマンドのうち、PE 転送制御コマンドを読み取り（ステップ S1602）、PE 転送制御コマンドがライト転送モードを示すものか否か判断する（ステップ S1603）。

【0187】

ステップ S 1 6 0 3 の判断で、P E 転送制御コマンドが P E ライト転送モードのものであると判断された場合（ステップ S 1 6 0 3 肯定）は、P E ライト転送スタート要求を読み取り（ステップ S 1 6 0 4）、P E ライト転送をスタートするか否か判断する（ステップ S 1 6 0 5）。そして、P E ライト転送をスタートしない場合（ステップ S 1 6 0 5 否定）は、P E ライト転送がスタートするまで待機する。

【0188】

一方、P E ライト転送をスタートする場合（ステップ S 1 6 0 5 肯定）は、メモリー・コントローラー B 4 0 7 b が制御信号を生成し（ステップ S 1 6 0 6）、プロセッサエレメント 5 0 0 に入力する。この制御信号により、プロセッサエレメント 5 0 0 が RAM 4 0 9 にアクセスし、RAM 4 0 9 へ画像データを転送する（S 1 6 0 7）。

【0189】

つぎに、メモリー・コントローラー 1 4 0 7 は、ステップ S 1 6 0 7 でなされた画像データの転送が、ランダムアクセスモードでなされたか否か判断する（ステップ S 1 6 0 8）。そして、ステップ S 1 6 0 8 で画像データが自動アクセスモードで転送されたと判断すると（ステップ S 1 6 0 8 否定）、このアクセスが間引き書き込みモードでなされたか否か判断する（ステップ S 1 6 0 9）。

【0190】

この判断の結果、間引き書き込みモードの設定がなされていない場合（ステップ S 1 6 0 9 否定）は、コントロール・レジスター 1 4 0 3 に設定されたコントロール・レジスター値を更新する（ステップ S 1 6 1 1）。なお、この更新は、アドレス更新方向で設定された方向に、アドレス更新量で設定された量だけおこなわれる。

【0191】

また、ステップ S 1 6 0 9 の判断の結果、間引き書き込みモードが設定されている場合（ステップ S 1 6 0 9 肯定）は、間引き書き込み要求がなされたか否か判断する（ステップ S 1 6 1 0）。この間引き書き込み要求の有無の判断は、間引き書き込み制御信号の入力の有無によっておこなわれる。

【0192】

そして、間引き書き込み要求がなされていない場合（ステップS1610否定）は、コントロール・レジスター値を更新する（ステップS1611）。以上の処理の後、または間引き書き込み要求があった場合（ステップS1610肯定）は、画像データ転送が終了したか否かが判断される（ステップS1620）。

【0193】

この判断の結果、転送が終了していない場合（ステップS1620否定）は、再びメモリー・コントローラーB407bから制御信号を読み取る処理に戻る（ステップS1602）。また、転送が終了した場合（ステップS1620肯定）は、画像データ転送制御の処理を終了する。

【0194】

また、ステップS1603の判断で、PE転送制御コマンドがPEライト転送モードのものでないと判断された場合（ステップS1603否定）は、PE転送制御コマンドがPEライト・リード転送モードのものであると判断する。そして、PEライト・リード転送スタート要求を読み取り（ステップS1612）、PEライト転送をスタートするか否か判断する（ステップS1613）。この結果、PEライト転送をスタートしない場合（ステップS1613否定）は、PEライト転送がスタートするまで待機する（ステップS1612）。

【0195】

一方、PEライト・リード転送をスタートする場合（ステップS1613肯定）は、メモリー・コントローラーB407bが制御信号を生成し（ステップS1614）、プロセッサエレメント500に入力する。この制御信号により、プロセッサエレメント500がRAM409にアクセスし、画像データがRAM409に転送される（S1615）。

【0196】

メモリー・コントローラー1407は、ステップS1615の画像データの転送が、ランダムアクセスモードでなされたか否か判断する（ステップS1616）。そして、ステップS1618で画像データが自動アクセスモードで転送されたと判断すると（ステップS1616否定）、このアクセスが間引き書き込みモ

ードでなされたか否か判断する（ステップ S 1 6 1 7）。この判断の結果、間引き書き込みモードの設定がなされていない場合（ステップ S 1 6 1 7 否定）は、コントロール・レジスター値を更新する（ステップ S 1 6 1 9）。

【0 1 9 7】

また、ステップ S 1 6 1 7 の判断の結果、間引き書き込みモードが設定されている場合（ステップ S 1 6 1 7 肯定）は、間引き書き込み制御信号入力の有無によって今回のアクセスに間引き書き込み要求がなされたか否か判断する（ステップ S 1 6 1 8）。

【0 1 9 8】

そして、間引き書き込み要求がない場合（ステップ S 1 6 1 8 否定）は、コントロール・レジスター 1 4 0 3 に設定されたコントロール・レジスター値を更新する（ステップ S 1 6 1 9）。以上の処理の後、または間引き書き込み要求があった場合（ステップ S 1 6 1 8 肯定）は、画像データ転送が終了したか否かが判断される（ステップ S 1 6 2 0）。

【0 1 9 9】

この判断の結果、転送が終了していない場合（ステップ S 1 6 2 0 否定）は、再びメモリー・コントローラー B 4 0 7 b から制御信号を読み取る処理に戻る（ステップ S 1 6 0 2）。また、転送が終了した場合（ステップ S 1 6 2 0 肯定）は、画像データ転送制御の処理を終了する。

【0 2 0 0】

以上述べた実施の形態 4 によれば、RAM 4 0 9 への書き込みが不要な画像データに対して RAM 4 0 9 への転送を防ぐことができ、RAM 4 0 9 に必要な画像データだけを保存することができる。このため、画像処理装置に備えられる RAM 4 0 9 の個数を低減する、あるいは、画像処理装置の RAM 4 0 9 を有効に利用することができる。

【0 2 0 1】

なお、本実施の形態で説明した画像処理方法は、あらかじめ用意されたプログラムをパーソナルコンピューターやワークステーション等のコンピューターで実行することにより実現される。このプログラムは、ハードディスク、フロッピーデ

ディスク、CD-ROM、MO、DVD等のコンピュータで読み取り可能な記録媒体に記録され、コンピュータによって記録媒体から読み出されることによって実行される。またこのプログラムは、上記記録媒体を介して、また伝送媒体として、インターネット等のネットワークを介して配布することができる。

【0202】

【発明の効果】

以上説明したように、請求項1に記載の発明によれば、メモリーに対する書き込み、読み出し動作を制御し、画像処理に応じてメモリーに対する書き込み、読み出し処理を最適化することによって画像処理を効率化できる画像処理装置を得ることができるという効果を奏する。また、このような効果は、同一の処理を複数の異なる画像データに対して同時におこない得るSIMD型の演算処理部において特に顕著になる。

【0203】

また、請求項2に記載の発明によれば、比較的簡易な構成によってこの発明の画像処理装置が実現でき、比較的簡易な構成で、かつ画像データの転送制御機能を付加することによる画像処理装置の高コスト化を避けることができる画像処理装置を得ることができるという効果を奏する。

【0204】

また、請求項3に記載の発明によれば、画像処理に応じてメモリーに対する書き込み、読み出し処理を最適化することができる画像処理装置を得ることができるという効果を奏する。

【0205】

また、請求項4に記載の発明によれば、メモリーに対して連続してアクセスする演算処理部に同一の画像データを処理させる場合、この画像データを記憶するメモリー数を最小限にすることができる。このため、メモリーが比較的小型できる、あるいはメモリーをより効率的に活用することができる画像処理装置を得ることができるという効果を奏する。

【0206】

また、請求項5に記載の発明によれば、処理が不必要な画像データを、メモリ

一に転送しないようにすることができる。このため、メモリーを小型化できる、あるいはより効率的にメモリーを活用することができる画像処理装置を得ることができるという効果を奏する。

【 0 2 0 7 】

また、請求項 6 に記載の発明によれば、比較的簡易な処理によってこの発明の画像処理方法が実現でき、比較的簡易な構成で、かつ画像データの転送制御機能を付加することによる画像処理の高コスト化を避けることができる画像処理方法を得ることができるという効果を奏する。

【 0 2 0 8 】

また、請求項 7 に記載の発明によれば、比較的簡易な処理によってこの発明の画像処理方法が実現でき、画像データの転送制御機能を付加することによる画像処理装置の高コスト化を避けることができる画像処理方法を得ることができるという効果を奏する。

【 0 2 0 9 】

また、請求項 8 に記載の発明によれば、画像処理に応じてメモリーに対する書き込み、読み出し処理を最適化することができる画像処理方法を得ることができるという効果を奏する。

【 0 2 1 0 】

また、請求項 9 に記載の発明によれば、メモリーに対して連続してアクセスする演算処理部に同一の画像データを処理させる場合、この画像データを記憶するメモリー数を最小限にすることができる。このため、画像処理装置のメモリーが比較的小型で良い、あるいはメモリーをより効率的に活用することができる画像処理方法を得ることができるという効果を奏する。

【 0 2 1 1 】

また、請求項 1 0 に記載の発明によれば、処理が不必要な画像データを、メモリーに転送しないようにすることができる。このため、メモリーを小型化できる、あるいはより効率的にメモリーを活用することができる画像処理方法を得ることができるという効果を奏する。

【 0 2 1 2 】

また、請求項 1 1 に記載の発明にかかる記憶媒体は、請求項 6 ～ 1 0 のいずれか一つに記載された方法をコンピュータに実行させるプログラムを記録したことで、そのプログラムが機械読み取り可能となり、これによって、請求項 6 ～ 1 0 のいずれか一つの動作をコンピュータによって実現することができるという効果を奏する。

【図面の簡単な説明】

【図 1】

この発明の実施の形態にかかる画像処理装置の構成を機能的に示すブロック図である。

【図 2】

本実施の形態にかかる画像処理装置のハードウェア構成の一例を示すブロック図である。

【図 3】

本実施の形態にかかる画像処理装置の画像処理プロセッサのハードウェア構成の一例を示すブロック図である。

【図 4】

本実施の形態にかかる画像処理プロセッサの構成をより詳細に示す説明図である。

【図 5】

本実施の形態にかかる画像処理装置に用いられる SIMD 型プロセッサの概略構成を示す説明図である。

【図 6】

実施の形態 1 の画像データ転送制御を説明するための模式的な図である

【図 7】

この発明の実施の形態で共通の画像データ転送制御の概略を説明するためのフローチャートである。

【図 8】

実施の形態 1 の画像データ転送制御を説明するためのフローチャートである。

【図 9】

実施の形態 2 の画像データ転送制御を説明するための模式的な図である。

【図 1 0】

実施の形態 2 の画像データ転送制御を説明するためのフローチャートである。

【図 1 1】

実施の形態 3 の画像データ転送制御を説明するための模式的な図である。

【図 1 2】

実施の形態 3 の画像データ転送制御をより具体的に説明するための図である。

【図 1 3】

実施の形態 3 の画像データ転送制御を説明するためのフローチャートである。

【図 1 4】

実施の形態 4 の画像データ転送制御を説明するための模式的な図である。

【図 1 5】

実施の形態 4 の画像データ転送制御をより具体的に説明するための図である。

【図 1 6】

実施の形態 4 の画像データ転送制御を説明するためのフローチャートである。

【符号の説明】

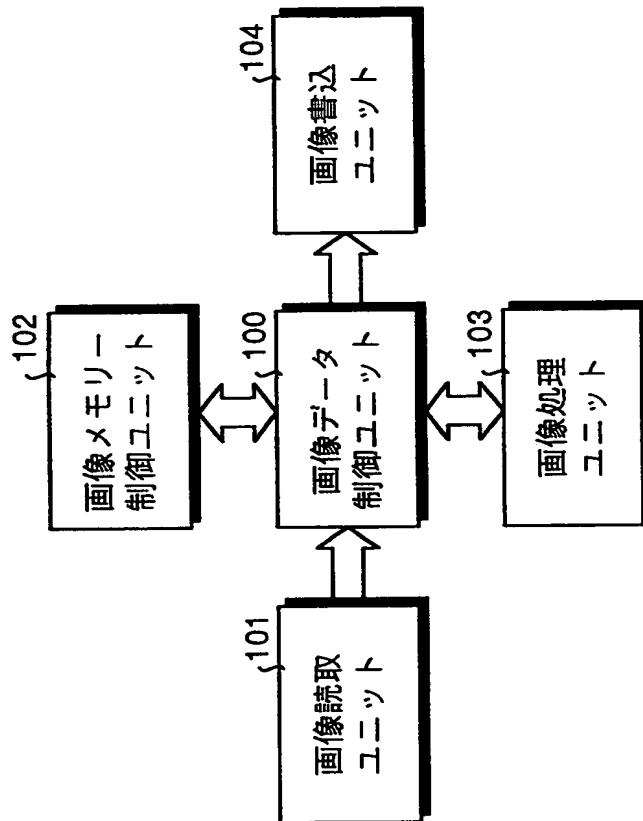
- 1 0 0 画像データ制御ユニット
- 1 0 1 画像読取ユニット
- 1 0 2 画像メモリー制御ユニット
- 1 0 3 画像処理ユニット
- 1 0 4 画像書込ユニット
- 2 0 1 読取ユニット
- 2 0 2 センサー・ボード・ユニット
- 2 0 3 画像データ制御部
- 2 0 4 画像処理プロセッサ
- 2 0 5 ビデオ・データ制御部
- 2 0 6 作像ユニット
- 2 1 0 シリアルバス
- 2 1 1 プロセス・コントローラー



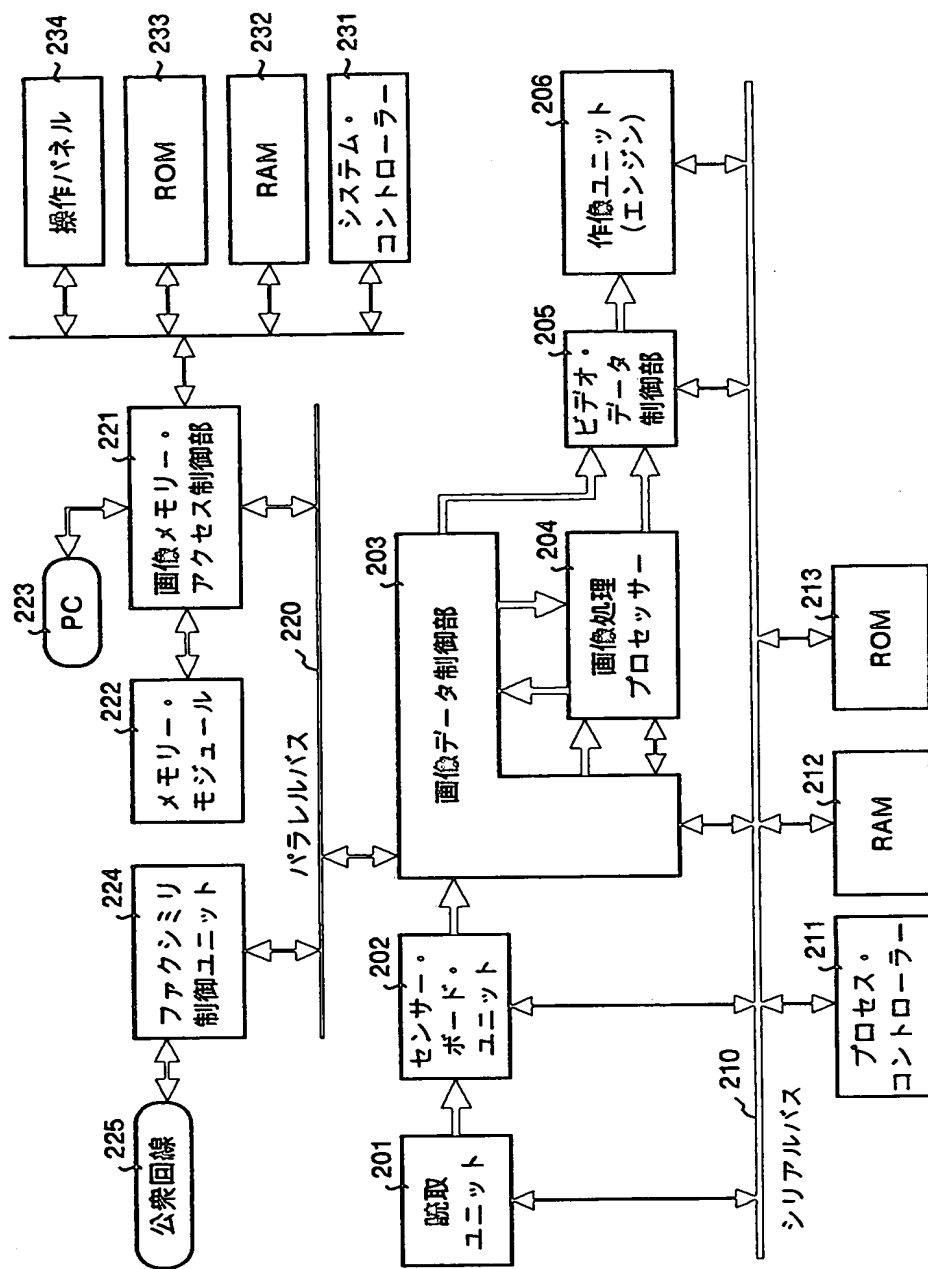
- 220 パラレルバス
- 221 画像メモリー・アクセス制御部
- 222 メモリー・モジュール
- 224 ファクシミリ制御ユニット
- 225 公衆回線
- 231 システム・コントローラー
- 234 操作パネル
- 301 第1入力I/F
- 302 スキャナー画像処理部
- 303 第1出力I/F
- 304 第2入力I/F
- 305 画質処理部
- 307 コマンド制御部
- 306 第2出力I/F
- 402 データ入出力用バス
- 401 SIMD型演算処理部
- 403a, 403b バススイッチ
- 405a, 405b メモリー・スイッチ
- 407a, 407b メモリー・コントローラーA、メモリー・コントローラ  
ーB
- 500 プロセッサーエレメント
- 501 レジスター
- 502 マルチプレクサー
- 504 論理演算器
- 505 アキュムレーター
- 506 テンポラリー・レジスター
- 603, 903, 1103, 1403 コントロール・レジスター
- 907, 1107, 1407 メモリー・コントローラー
- 1201, 1501 論理回路

【書類名】 図面

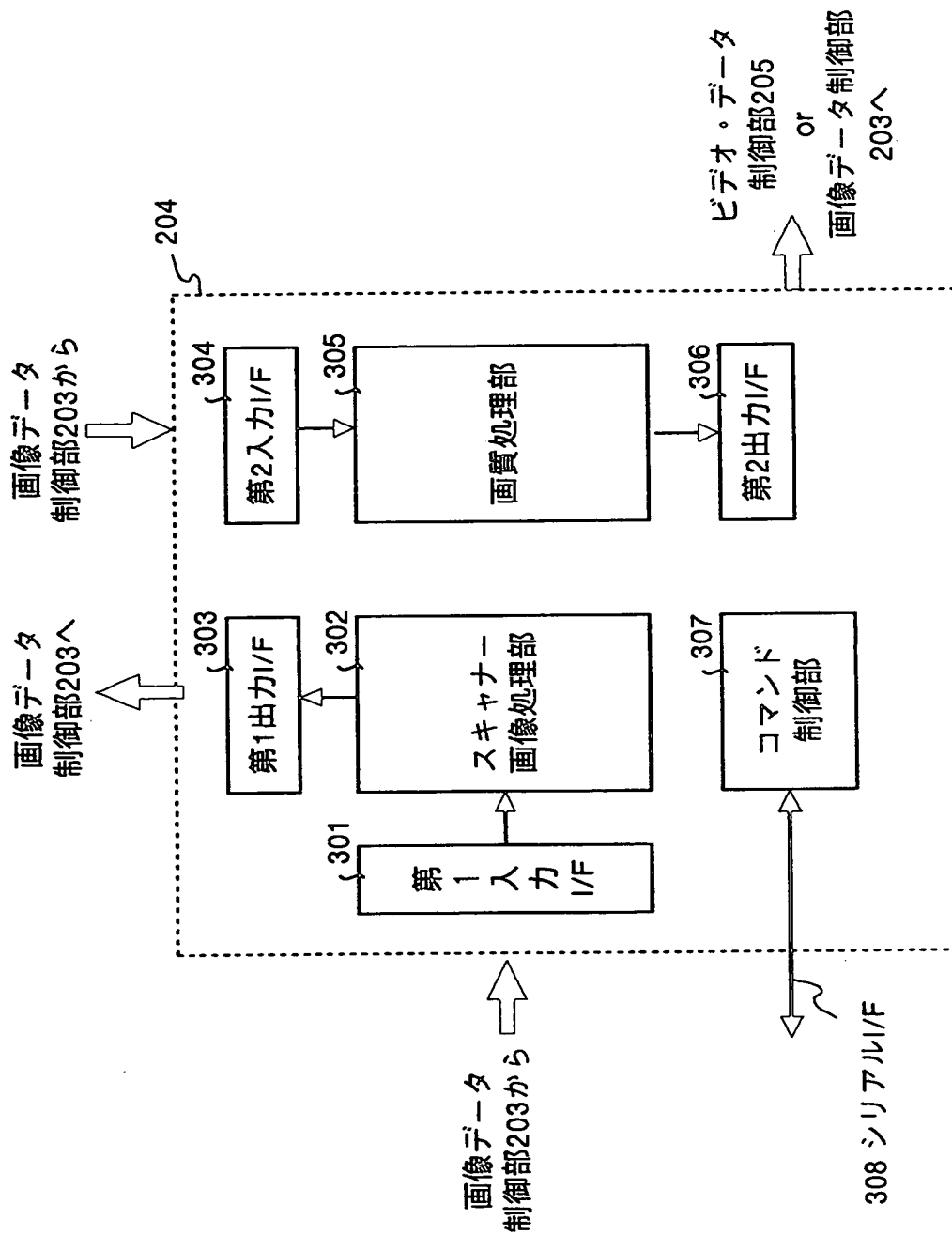
【図 1】



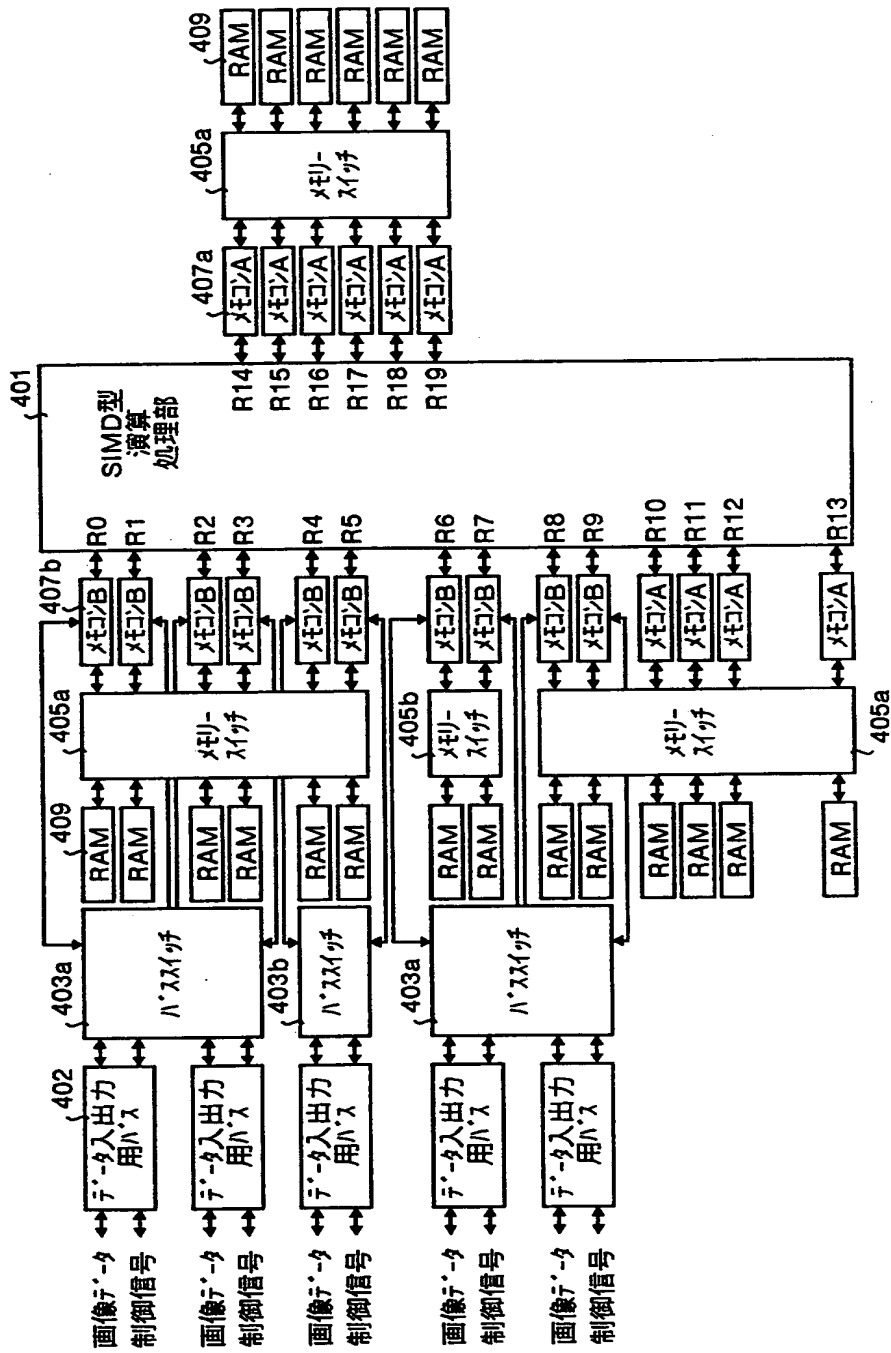
【図 2】



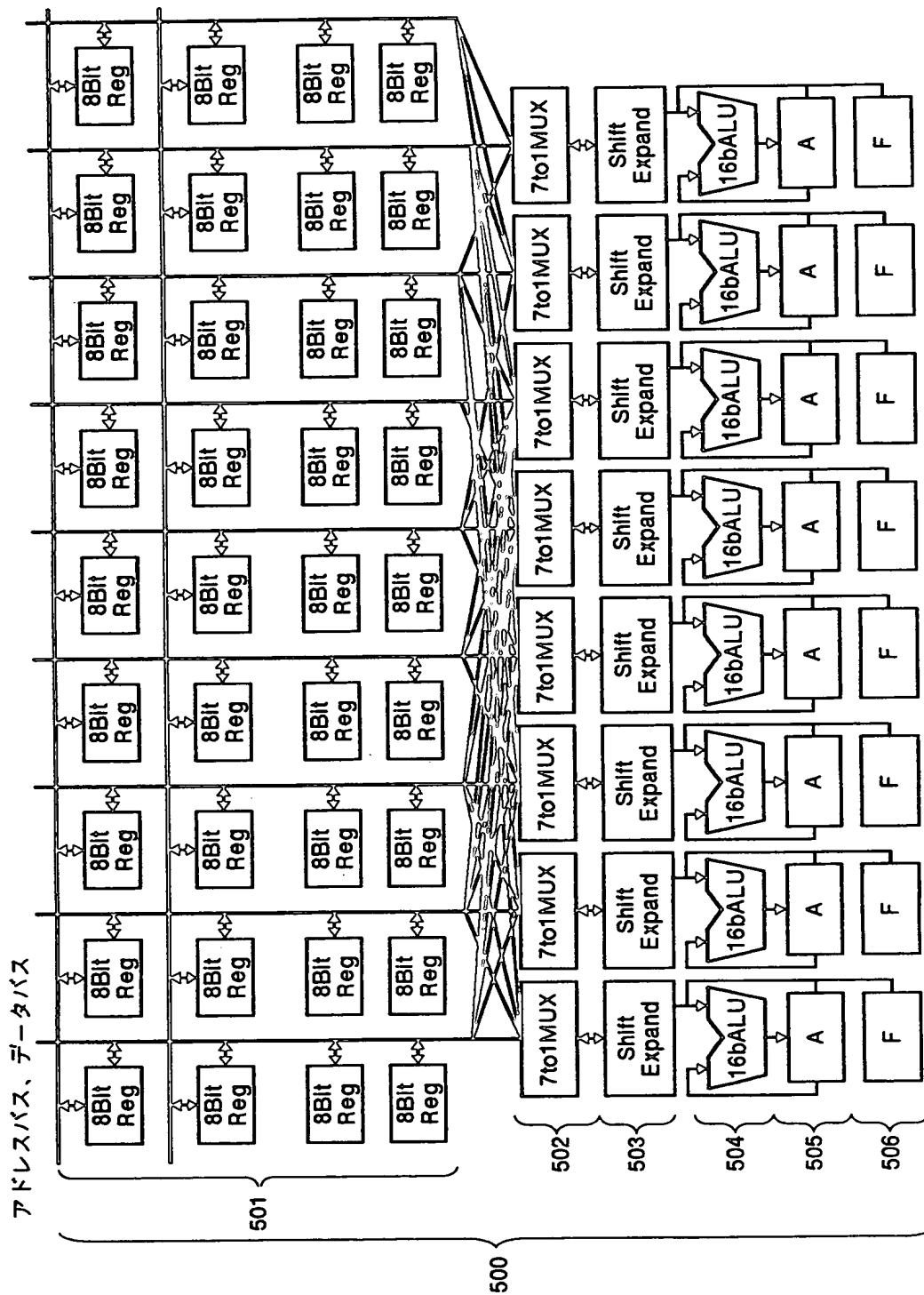
【図 3】



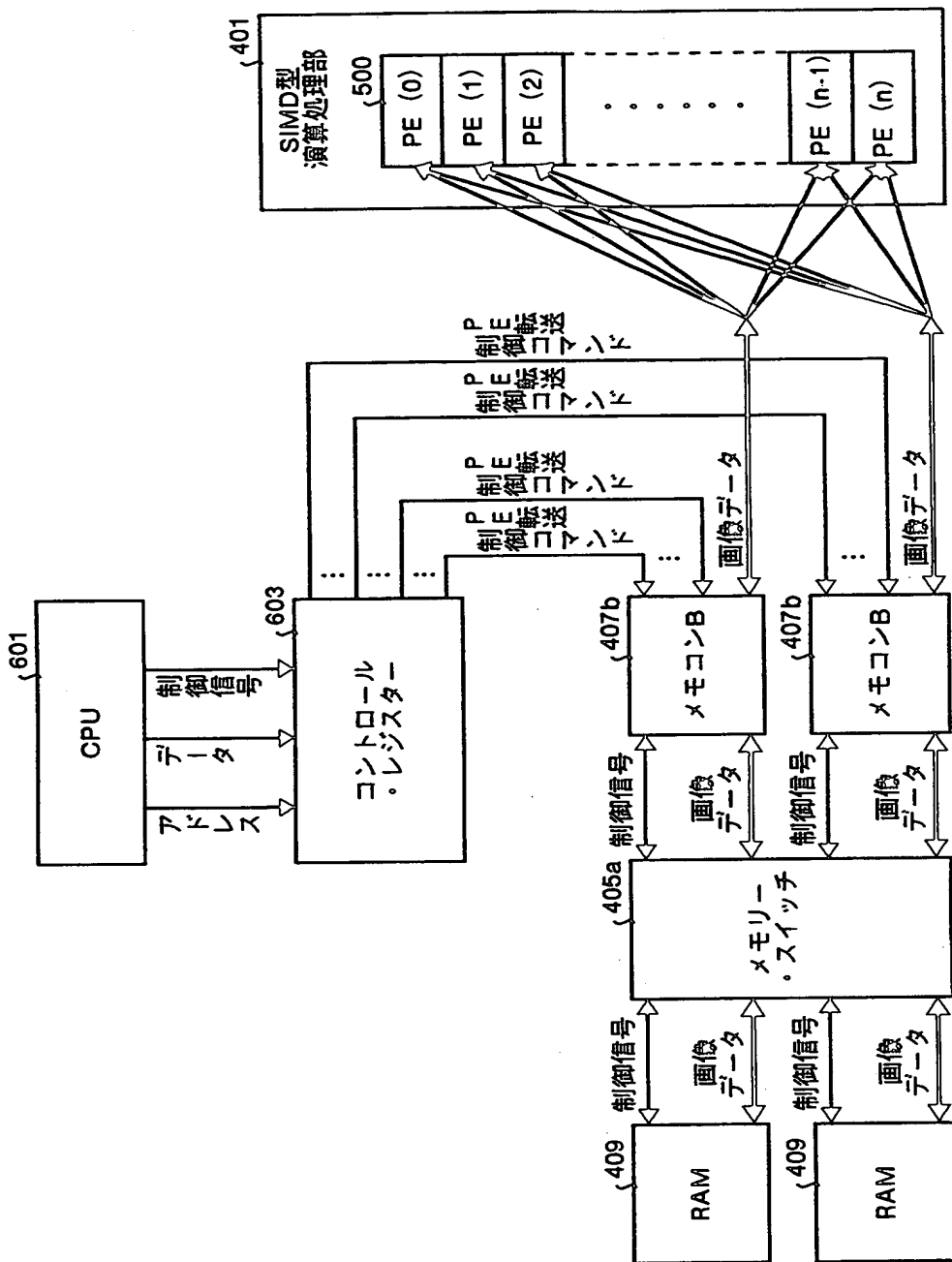
【図 4】



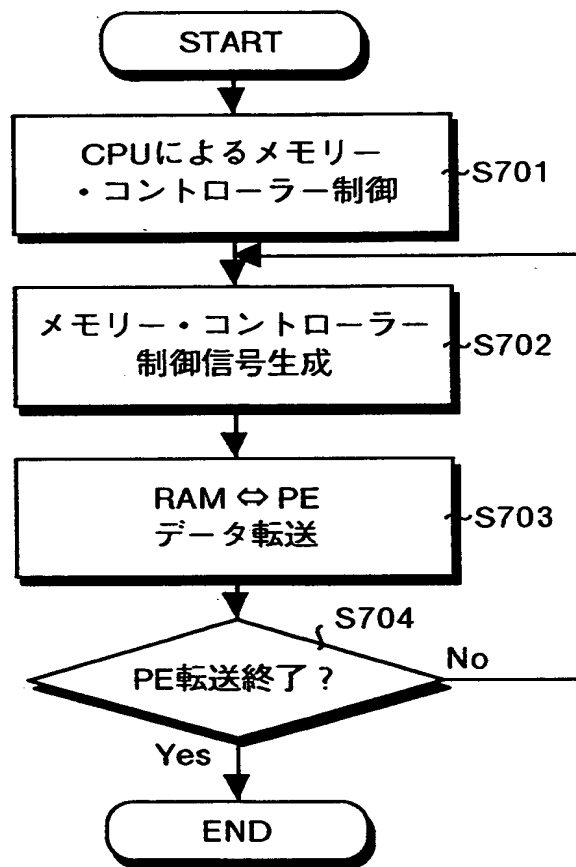
【図 5】



【図 6】

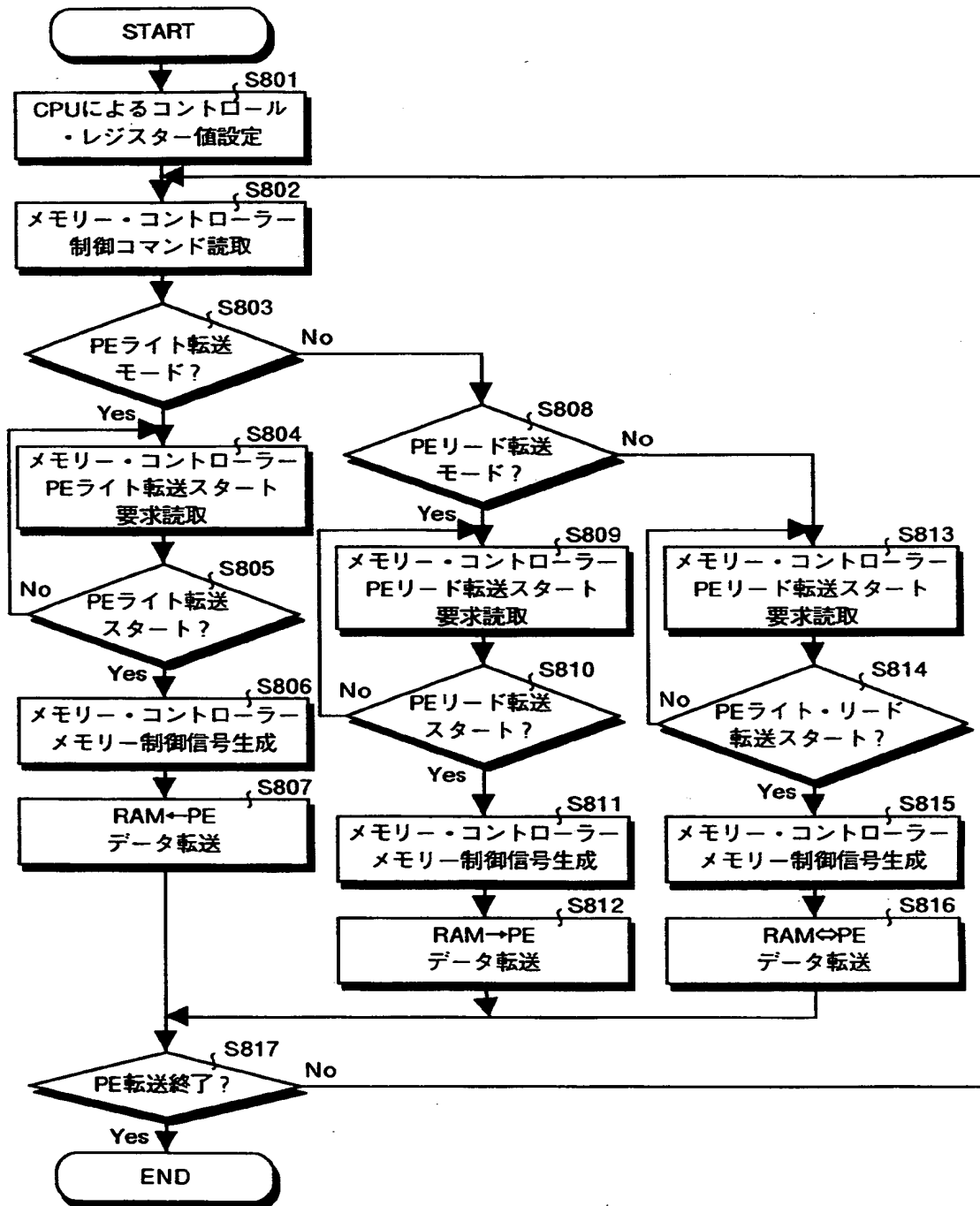


【図 7】

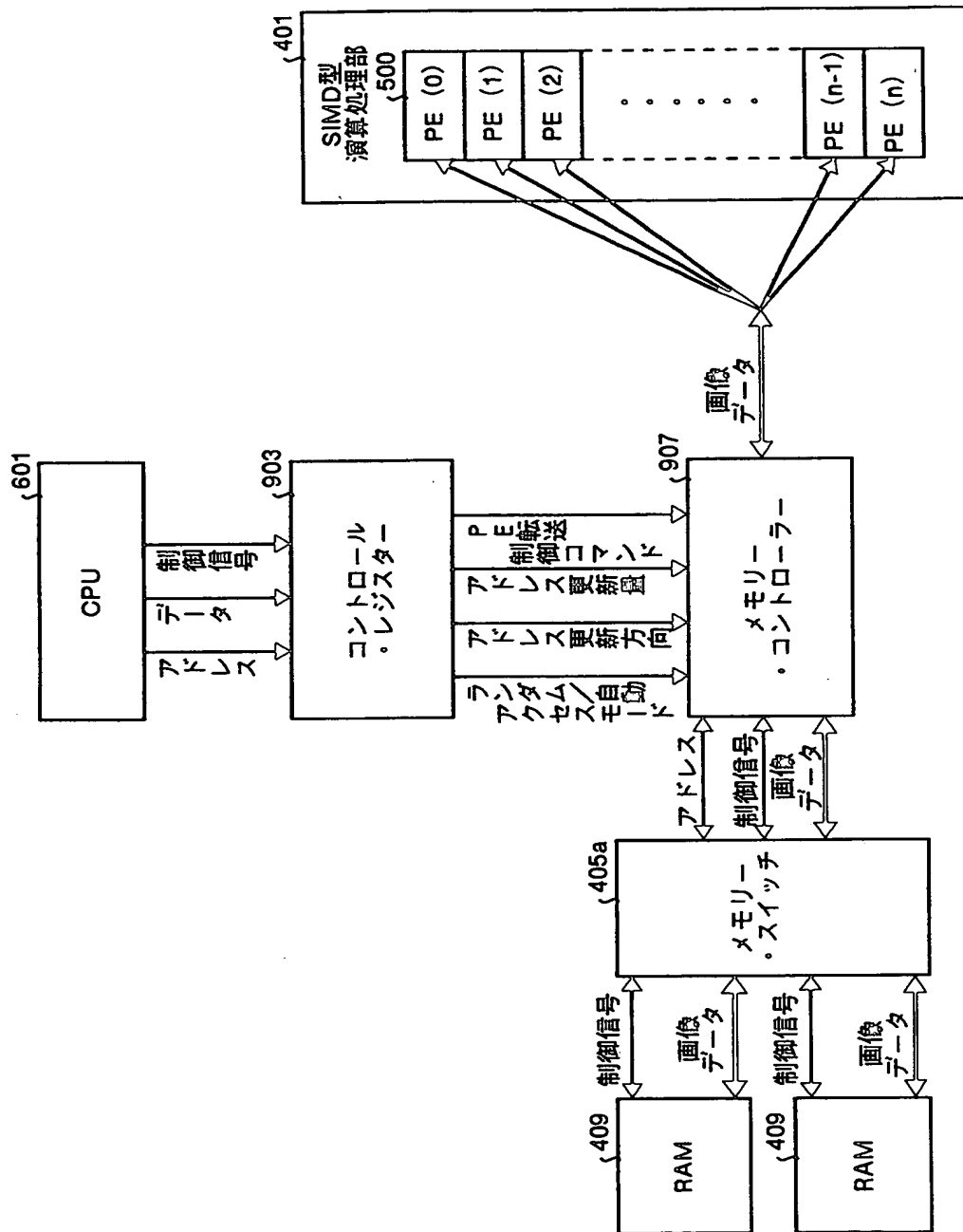




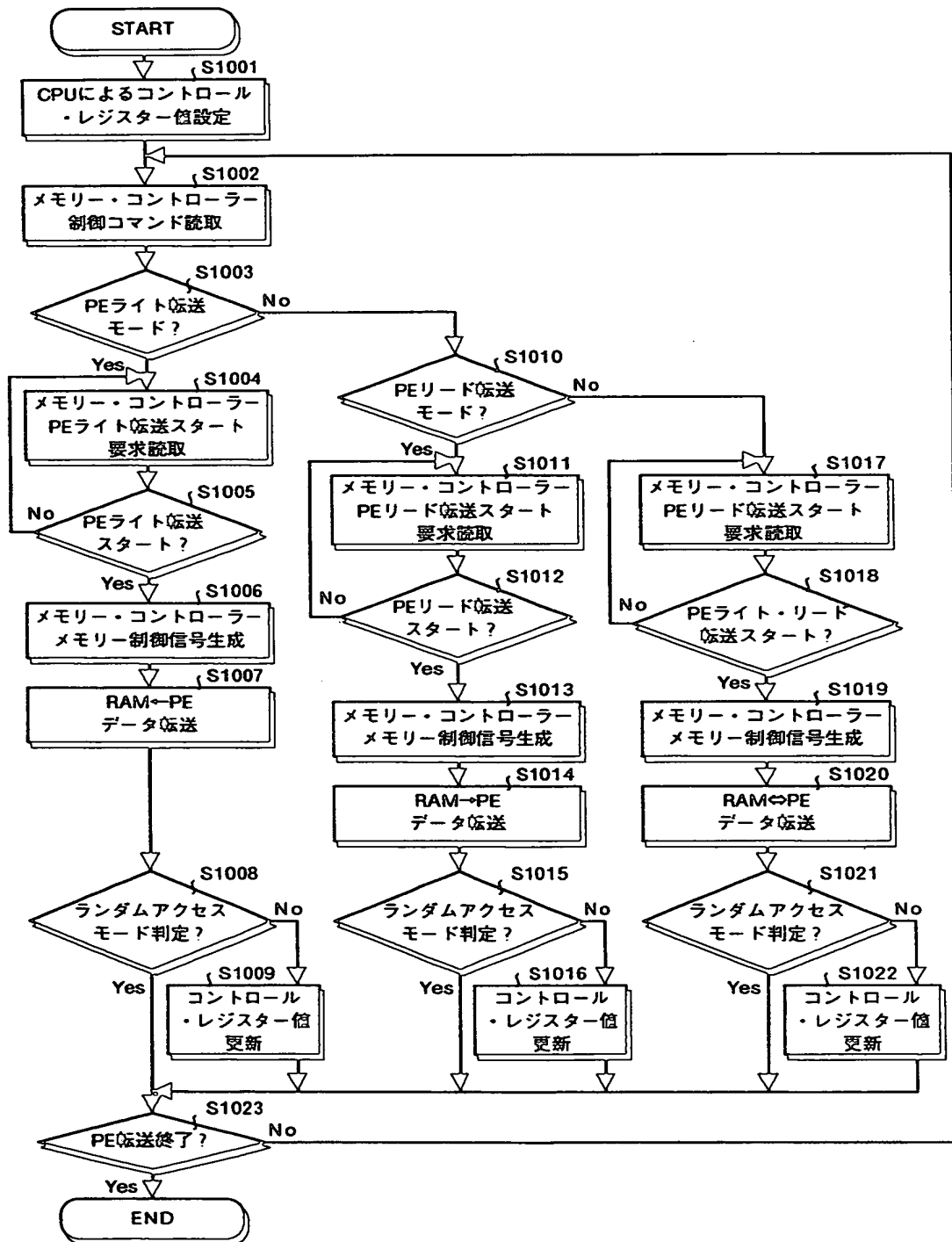
【図 8】



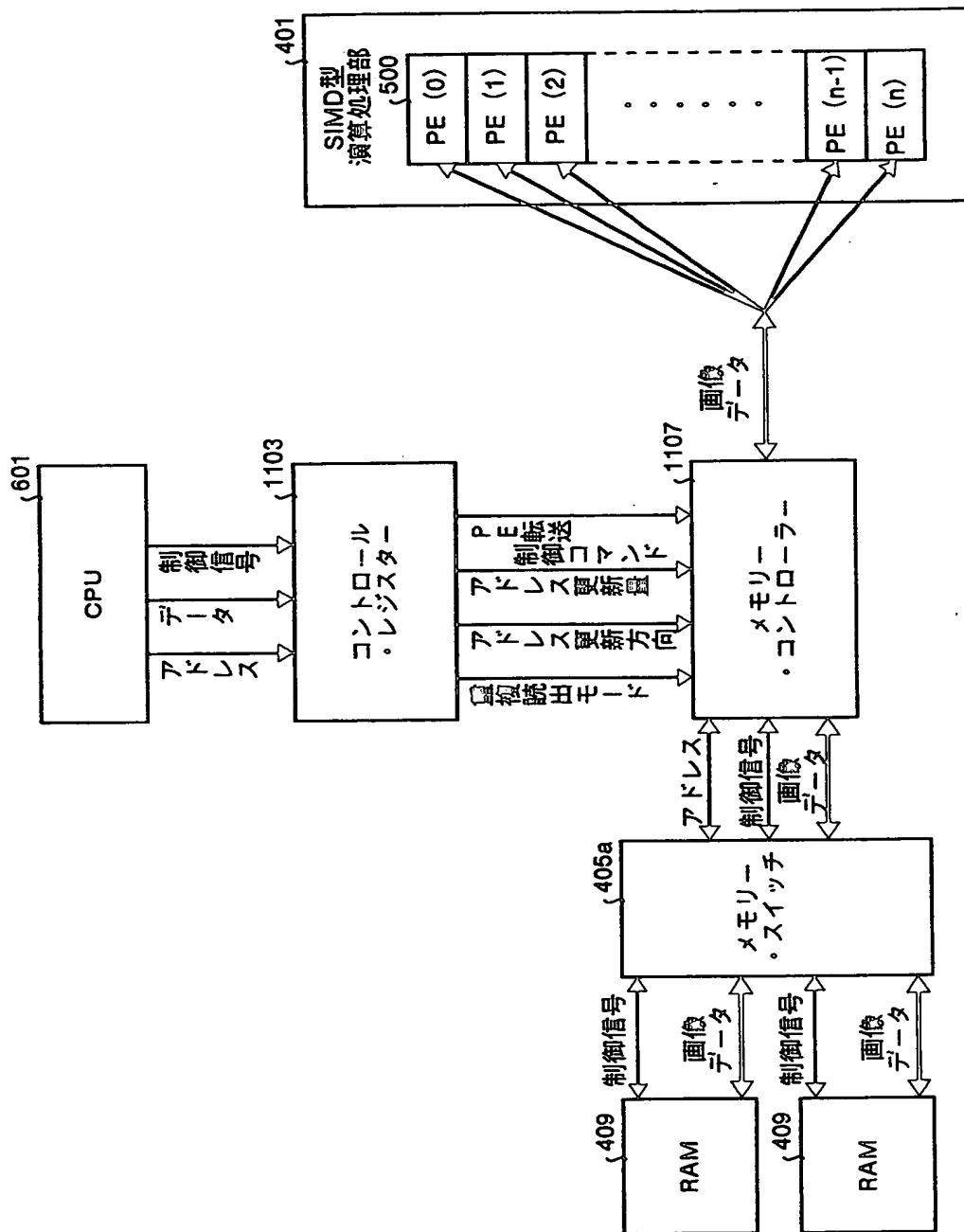
【図 9】



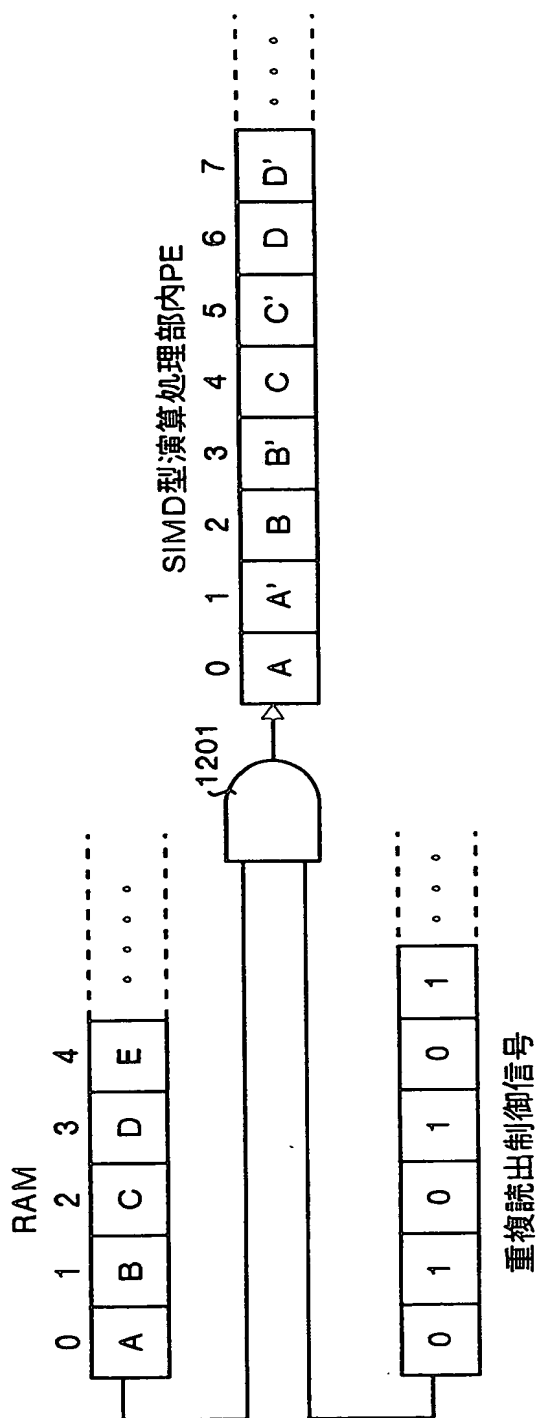
【図 10】



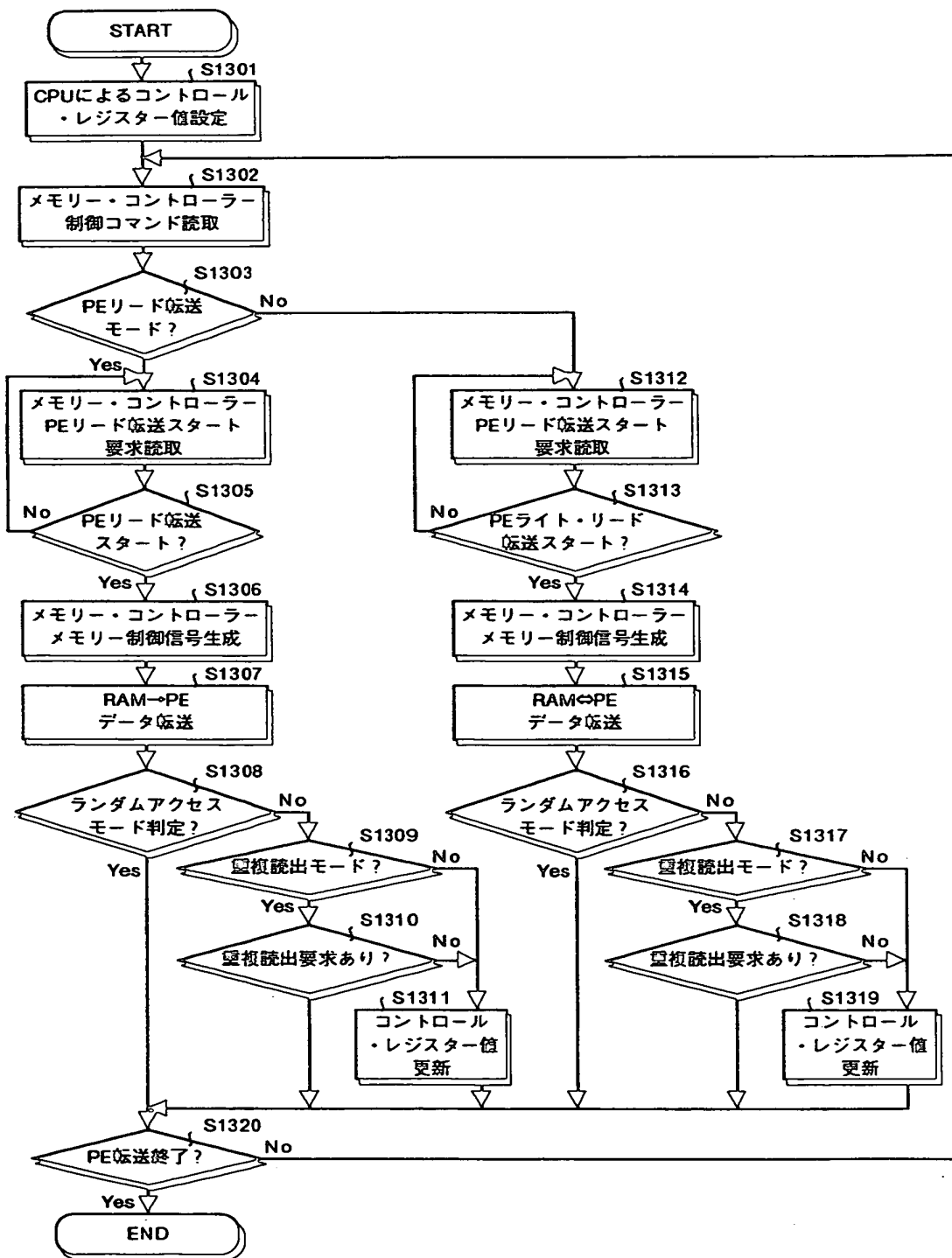
【図 1 1】



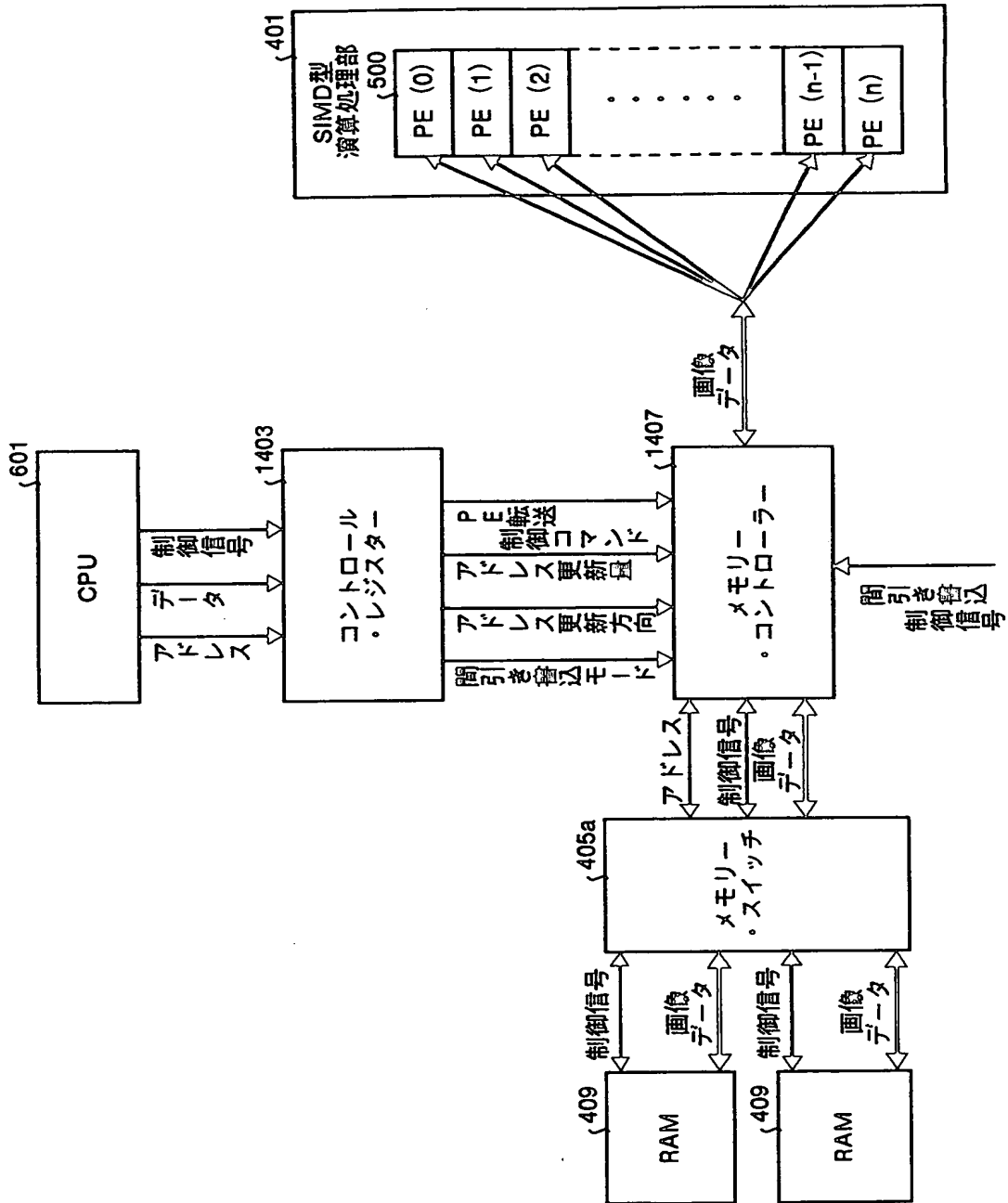
【図 1 2】



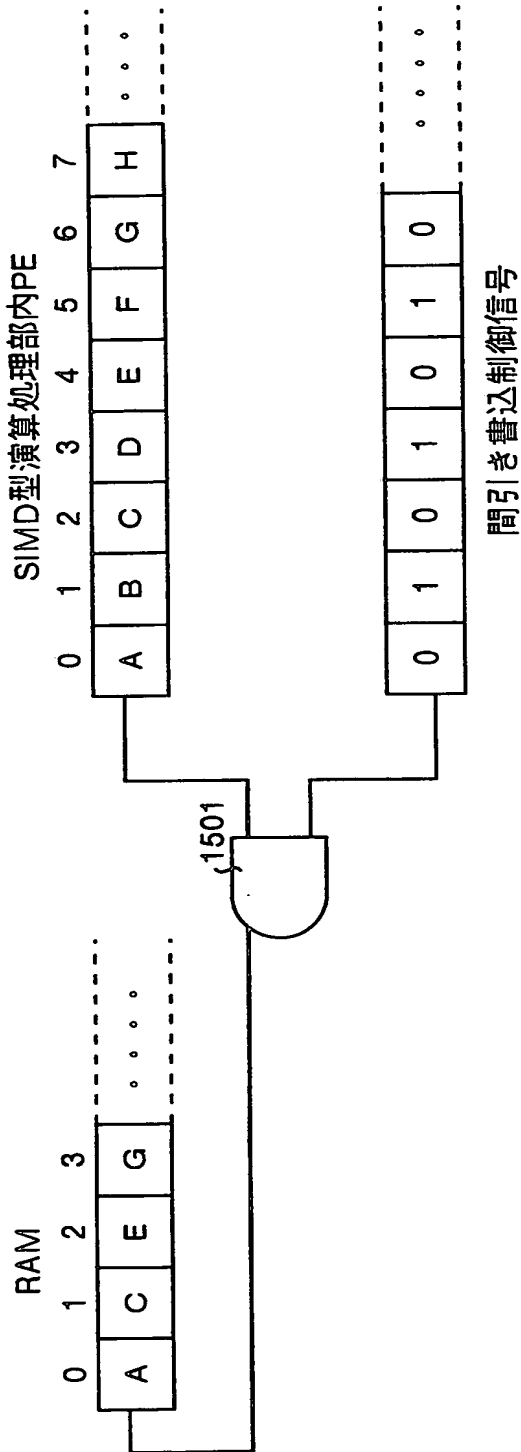
【図 1 3】



【図 1 4】

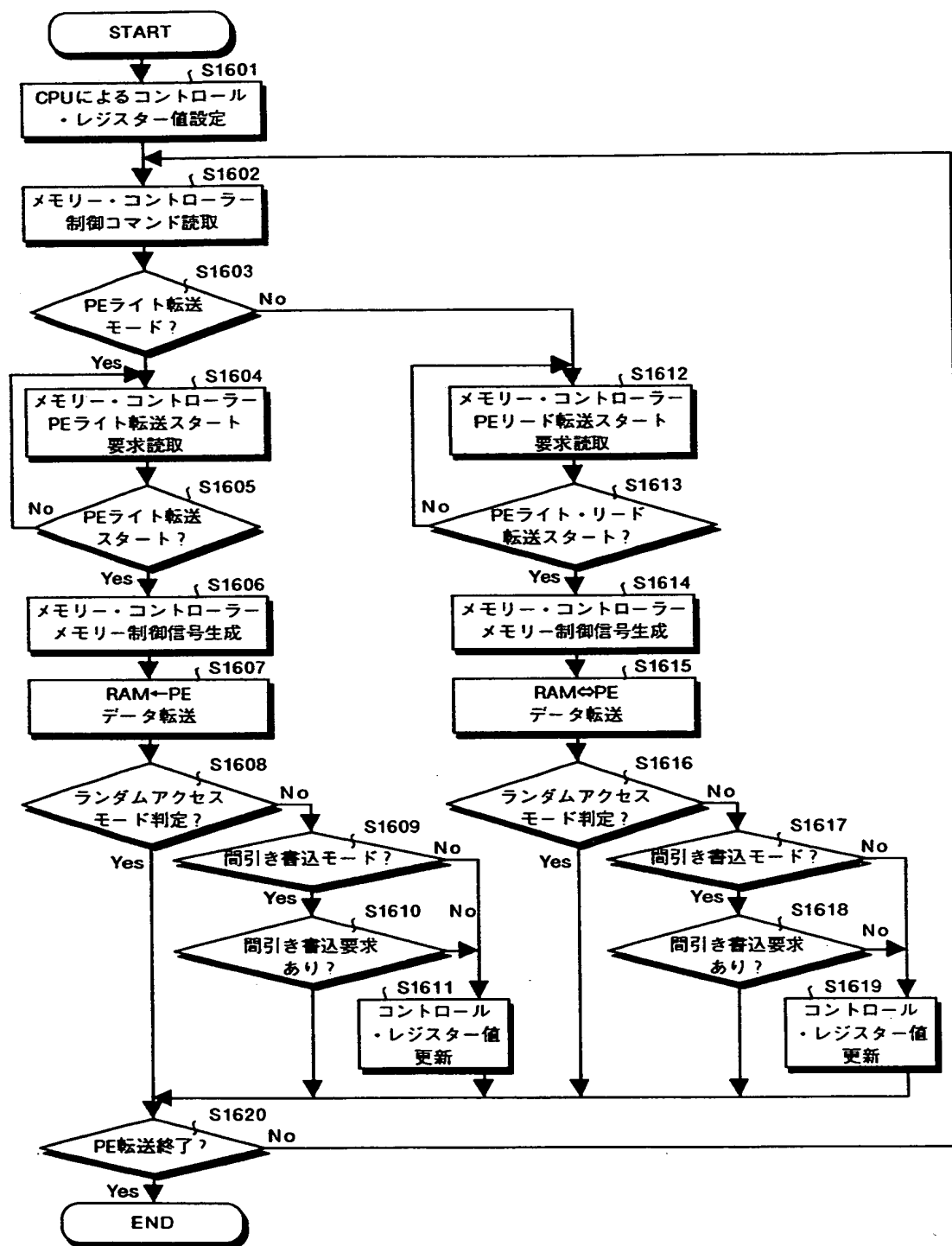


【図 1 5】





【図 1 6】



【書類名】 要約書

【要約】

【課題】 メモリーに対する書き込み、読み出し動作を制御し、画像処理に応じてメモリーに対する書き込み、読み出し処理を最適化することによって画像処理を効率化できる画像処理装置を提供する。

【解決手段】 SIMD型演算処理部 4 0 1、SIMD型演算処理部 4 0 1 に接続する複数のRAM 4 0 9、RAM 4 0 9 の各々を制御するメモリー・コントローラー B 4 0 7 b を備え、かつ、メモリー・コントローラー B 4 0 7 b に接続するコントロール・レジスター 6 0 3 が、RAM 4 0 9 と SIMD型演算処理部 4 0 1 との間でおこなわれる画像データの転送を制御するように構成する。

【選択図】 図 6

出 願 人 履 歴 情 報

識別番号 [000006747]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都大田区中馬込1丁目3番6号
氏 名	株式会社リコー